

(7) Japanese Patent Application Laid-Open No. 2002-026149:

“Non-Volatile Semiconductor Memory Device and Operating Method Thereof”

A sixth preferred embodiment relates to a non-volatile memory of isolation source line NOR type which facilitates two bit / cell writing. Fig. 22 is a circuit diagram of four cells of a memory cell array. Fig. 23 is a sectional view showing a structure of a memory cell transistor according to the sixth preferred embodiment. In the memory cell transistor shown in Fig. 23, both of gate insulating films 10a and 10b are spatially separated with an insulating film 14 which is a single layer on a channel central portion therebetween.

The gate insulating film 10a is composed of, upwardly from a lower layer, a bottom insulating film 11a (FN tunnel nitride film), a nitride film 12a, and a top insulating film 13a. Likewise, the insulating film 10b is composed of, upwardly from a lower layer, a bottom insulating film 11b (FN tunnel nitride film), a nitride film 12b, and a top insulating film 13b.

In the present preferred embodiment, a main distribution region (a first region R1 and a second region R2) of charge accumulating means (carrier trap) is spatially separated, and a region (a third region R3) therebetween is made of an insulating film of a single material.

As a method of forming this gate insulating film structure, firstly, a stacked layer film including a bottom insulating film (FN tunnel nitride film), a nitride film and a top insulating film is entirely formed, followed by removing the stacked layer film partially by etching on the channel central portion. Then, a thick oxide silicon film is entirely deposited and the oxide silicon film is etched back from its surface. Next, etching back is stopped at a step where an insulating film on the gate insulating films 10a and 10b is removed and the insulating film 14 fills between the gate insulating films 10a and 10b, whereby the gate insulating film structure is completed.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-26149

(P 2 0 0 2 - 2 6 1 4 9 A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I		テ-マ-ド (参考)
H01L 21/8247		H01L 29/78	371	5B025
29/788		G11C 17/00	611	G 5F001
29/792		H01L 27/10	434	5F083
G11C 16/02				
H01L 27/115				

審査請求 未請求 請求項の数37 O L (全27頁)

(21)出願番号	特願2000-180763(P 2000-180763)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成12年6月12日(2000.6.12)	(72)発明者	藤原 一郎 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(31)優先権主張番号	特願2000-138251(P 2000-138251)	(74)代理人	100094053 弁理士 佐藤 隆久
(32)優先日	平成12年5月2日(2000.5.2)		
(33)優先権主張国	日本 (J P)		

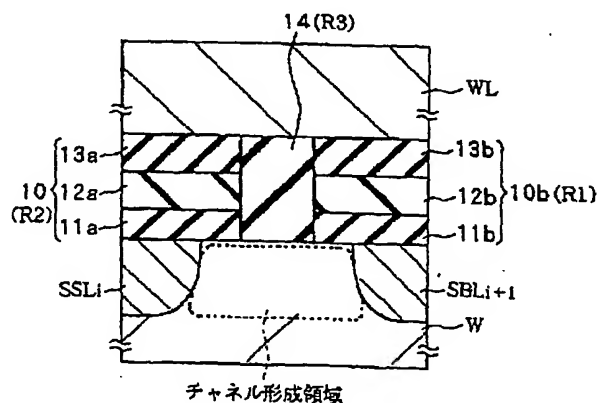
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置およびその動作方法

(57)【要約】

【課題】 少ない電流で極めて高速に書き込みができ、かつスケーリング性に優れたMONOS型メモリを実現する。

【解決手段】 基板(ウエルW)、チャネル形成領域、当該チャネル形成領域を挟んだ逆導電型半導体からなり、動作時にソースまたはドレインとなる第1および第2不純物領域SBLi、SBLi+1、チャネル形成領域上のゲート絶縁膜10a、10b、14およびゲート電極WL、チャネル形成領域に対向した面内および膜厚方向に離散化されてゲート絶縁膜10a、10b内に形成され、動作時にバンド間トンネル電流に起因したホットホールが不純物領域SBLiおよび/またはSBLi+1から注入される電荷蓄積手段(キャリアトラップ)とを有する。



## 【特許請求の範囲】

## 【請求項 1】基板と、

当該基板に設けられ第 1 導電型半導体からなるチャネル形成領域と、

当該チャネル形成領域を挟んで上記基板に形成された第 2 導電型半導体からなり、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、

上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にホットホールが上記第 1 不純物領域および／または第 2 不純物領域から注入される電荷蓄積手段とを有する不揮発性半導体記憶装置。

【請求項 2】上記ホットホールは、バンド間トンネル電流に起因したホットホールである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】上記ゲート絶縁膜は、上記第 1 不純物領域からホットホールが注入される第 1 領域と、

上記第 2 不純物領域からホットホールが注入される第 2 領域と、

上記第 1、第 2 領域間に挟まれ、ホットホールが注入されない第 3 領域とを有する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】上記電荷蓄積手段が上記第 1、第 2 領域に形成され、

電荷蓄積手段の分布領域が上記第 3 領域を介して空間的に分離されている請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】上記第 1、第 2 領域が複数の膜を積層した積層膜構造を有し、

上記第 3 領域が単一材料の絶縁膜からなる請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】上記第 1 および第 2 領域上に形成されたゲート電極と、

上記第 3 領域上に形成されたゲート電極とが空間的に分離されている請求項 4 記載の不揮発性半導体記憶装置。

【請求項 7】上記チャネル形成領域は、2つのメモリトランジスタのチャネル形成領域と、その間の1つの選択トランジスタのチャネル形成領域とが連結してなる請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】上記第 1、第 2 および第 3 領域上のゲート電極に対しそれぞれ空間的に分離した、上記第 1 領域外側の第 1 制御ゲートおよび上記第 2 領域外側の第 2 制御ゲートをさらに有する請求項 3 記載の不揮発性半導体記憶装置。

【請求項 9】上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記第 1、第 2 不純物領域双方からホットホールを注入したとき、

上記第 1 不純物領域から注入されたホットホールの保持領域と上記第 2 不純物領域から注入されたホットホールの保持領域との少なくとも一部が上記ゲート絶縁膜内で合体するゲート長以下である請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタがワード方向とビット方向とに複数配置され、

10 上記ゲート電極をワード方向に接続する複数のワード線と、

当該複数のワード線に接続され、動作対象のメモリトランジスタが接続された選択ワード線に負電圧を印加し、動作対象のメモリトランジスタが接続されていない非選択ワード線に正電圧を印加するワード線駆動回路とをさらに有する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 11】上記複数のメモリトランジスタは、書き込み状態のしきい値電圧が消去状態のしきい値電圧より低い請求項 10 記載の不揮発性半導体記憶装置。

20 【請求項 12】上記第 1 導電型が p 型であり、上記第 2 導電型が n 型である請求項 1 記載の不揮発性半導体記憶装置。

【請求項 13】上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタが、ワード方向とビット方向とに複数配置され、

複数のワード線と、

当該複数のワード線と電気的に絶縁された状態でそれぞれ交差する複数の共通線とを更に有し、

30 上記複数のワード線それぞれに、上記ゲート電極が複数接続され、

上記複数の共通線それぞれに、上記第 1 および／または第 2 不純物領域が複数結合されている請求項 1 記載の不揮発性半導体記憶装置。

【請求項 14】上記ゲート電極をワード方向で共通に接続するワード線と、

上記第 1 不純物領域をビット方向で共通に接続する第 1 共通線と、

40 上記第 2 不純物領域を共通に接続する第 2 共通線とを有する請求項 13 記載の不揮発性半導体記憶装置。

【請求項 15】上記第 1 共通線が、上記第 1 不純物領域をビット方向で共通に接続する第 1 副線と、当該第 1 副線をビット方向で共通に接続する第 1 主線とから構成され、

上記第 2 共通線が、上記第 2 不純物領域を共通に接続する第 2 副線と、当該第 2 副線を共通に接続する第 2 主線とから構成され、

上記第 1 副線と上記第 2 副線との間に、上記複数のメモリトランジスタが並列接続されている請求項 14 記載の不揮発性半導体記憶装置。

【請求項 16】上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない請求項 1 記載の不揮発性半導体記憶装置。

【請求項 17】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、当該ボトム絶縁膜上の窒化膜または酸化窒化膜とを含む請求項 16 記載の不揮発性半導体記憶装置。

【請求項 18】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体とを含む請求項 16 記載の不揮発性半導体記憶装置。

【請求項 19】上記小粒径導電体の粒径が 10 ナノメートル以下である請求項 18 記載の不揮発性半導体記憶装置。

【請求項 20】基板と、当該基板に設けられ第 1 導電型半導体からなるチャネル形成領域と、当該チャネル形成領域を挟んで上記基板に形成された第 2 導電型半導体からなり、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、上記チャネル形成領域上に設けられ、上記チャネル形成領域に対向した面内および膜厚方向に離散化された電荷蓄積手段を内部に含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極とを有する不揮発性半導体記憶装置の動作方法であって、書き込み時に、ホットホールを上記第 1 不純物領域および/または上記第 2 不純物領域から上記電荷蓄積手段に注入する不揮発性半導体記憶装置の動作方法。

【請求項 21】書き込み時に、バンド間トンネル電流に起因したホットホールを上記第 1 不純物領域および/または上記第 2 不純物領域から上記電荷蓄積手段に注入する請求項 20 記載の不揮発性半導体記憶装置の動作方法。

【請求項 22】書き込み時に、上記第 1 不純物領域から上記ゲート絶縁膜の第 1 領域に上記ホットホールを注入し、当該第 1 領域へのホットホール注入と独立に、上記第 2 不純物領域から上記ゲート絶縁膜内で上記第 1 領域と離れた第 2 領域に上記ホットホールを注入する請求項 20 記載の不揮発性半導体記憶装置の動作方法。

【請求項 23】上記ゲート絶縁膜は、上記第 1、第 2 領域間にホットホールが注入されない第 3 領域を有し、上記電荷蓄積手段が上記第 1、第 2 領域に形成され、電荷蓄積手段の分布領域が上記第 3 領域を介して空間的に分離されている請求項 22 記載の不揮発性半導体記憶装置の動作方法。

【請求項 24】上記第 1、第 2 領域が複数の膜を積層した積層膜構造を有し、

上記第 3 領域が単一材料の絶縁膜からなる請求項 23 記載の不揮発性半導体記憶装置の動作方法。

【請求項 25】上記第 1 不純物領域から注入されたホットホールの保持領域と、上記第 2 不純物領域から注入されたホットホールの保持領域との少なくとも一部が、上記電荷蓄積手段内で合体する請求項 20 記載の不揮発性半導体記憶装置の動作方法。

【請求項 26】上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記 2 つのホットホール保持領域の少なくとも一部で合体が起こるゲート長以下である請求項 20 記載の不揮発性半導体記憶装置の動作方法。

【請求項 27】上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、

同一ワード線に接続した全てのメモリトランジスタに対し、ホットホールを注入する上記第 1、第 2 領域に対応した全ての第 1、第 2 不純物領域に所定の電圧を印加し、

ホットホール注入を行わない他の第 1、第 2 領域に対応した第 1、第 2 不純物領域を電氣的フォローティング状態とし、

上記同一ワード線に、上記第 1、第 2 不純物領域に印加する電圧との差が所定の書き込み電圧となる電圧を印加し、

当該同一ワード線に接続した全てのメモリトランジスタを 1 回の動作で並列に書き込む請求項 22 記載の不揮発性半導体記憶装置の動作方法。

【請求項 28】書き込み時に、上記第 1 および/または第 2 不純物領域と上記ゲート電極との間に所定の書き込み電圧を印加する請求項 20 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 29】上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、動作対象のメモリトランジスタが接続されている選択ワード線に負電圧を印加し、動作対象のメモリトランジスタが接続されていない非選択ワード線に正電圧を印加する請求項 28 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 30】書き込み時に、上記第 1 および第 2 不純物領域に同一電圧を印加する請求項 29 に記載の不揮発

10

20

30

40

50

性半導体記憶装置の動作方法。

【請求項 3 1】上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ビット方向の複数のメモリトランジスタごとに上記第 1 不純物領域が第 1 共通線により接続され、上記第 2 不純物領域が第 2 共通線により接続されているメモリセルアレイに対する書き込みにおいて、動作対象のメモリトランジスタが接続されている第 1 および第 2 共通線に正電圧を印加し、動作対象のメモリトランジスタが接続されていない第 1 および第 2 共通線に 0 V を印加する請求項 3 0 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 2】消去時に、上記第 1 および/または第 2 不純物領域からホットホールが注入されている上記電荷蓄積手段に対して、直接トンネル効果または FN トンネル効果を用いてチャネル全面より電子を注入する請求項 2 0 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 3】上記第 1 導電型が p 型であり、上記第 2 導電型が n 型である請求項 2 0 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 4】上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない請求項 2 0 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 5】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、当該ボトム絶縁膜上の窒化膜または酸化窒化膜とを含む請求項 3 4 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 6】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体とを含む請求項 3 4 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 7】上記小粒径導電体の粒径が 1 0 ナノメートル以下である請求項 3 6 に記載の不揮発性半導体記憶装置の動作方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、メモリトランジスタのチャネル形成領域とゲート電極との間のゲート絶縁膜の内部に、平面的に離散化された電荷蓄積手段（例えば、MONOS 型や MNOS 型における窒化膜内の電荷トラップ、トップ絶縁膜と窒化膜との界面近傍の電荷トラップ、或いは小粒径導電体等）を有し、当該電荷蓄積手段に対し電荷（電子またはホール）を電気的に注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置と、その動作方法（書き込み方法および消去方法）とに関する。

【0 0 0 2】

【従来の技術】高度情報化社会、或いは高速、高域ネットワーク社会において、大容量のファイルメモリ、AV 用途メモリに対するニーズは大きい。現在、1 ギガバイト (GB) 以上のデータを記憶する大容量メモリシステムとして、ハードディスクおよび光ディスクなどのディスクを記録媒体としたディスクメモリシステムが使用されている。この大きな市場を、不揮発性半導体メモリで置き換えようとする研究が近年、活発化している。また、将来大きな市場として期待されているネットワークに接続可能なモバイル情報端末においては、小型で信頼性が高いリムーバブルな記憶媒体が求められており、不揮発性半導体メモリがその第 1 の候補になっている。

【0 0 0 3】ところが、不揮発性半導体メモリは、ハードウェアの小型化、軽量化のトレンドには合致しているものの、現状では未だ記憶容量が不足し、1 ギガビット (Gb) 以上の大容量を有する一括消去型の半導体メモリ（フラッシュメモリ）を実現するに至っていない。記憶容量不足に加え、ディスクメモリと比較して不揮発性半導体メモリのビットコスト低減が不十分であり、これらを解消するために不揮発性半導体メモリを高集積化することは重要である。

【0 0 0 4】また、情報ネットワークの広帯域化とともにネットワークの伝送速度（たとえば搬送波周波数：1 0 0 MHz）と同等の書き込み速度が不揮発性メモリにも要求されるようになってきている。これは、高速ネットワークを利用した情報の配信が近い将来発展すると予想されているためである。ネットワークからの高速ダウンロードを実現するには、不揮発性半導体メモリにおいても、従来の FG-NAND 型フラッシュメモリの書き込み速度 2 0 0  $\mu$ sec より 1 桁またはそれ以上の書き込み速度の向上が要求されている。

【0 0 0 5】不揮発性半導体メモリは、電荷を保持する電荷蓄積手段（浮遊ゲート）が平面的に連続した FG (Floating Gate) 型のほかに、電荷蓄積手段が平面的に離散化された、例えば MONOS (Metal-Oxide-Nitride-Oxide Semiconductor) 型などがある。

【0 0 0 6】MONOS 型不揮発性半導体メモリでは、電荷保持を主体的に担っている窒化膜 [Six Ny ( $0 < x < 1$ ,  $0 < y < 1$ )] 膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップが空間的に（即ち、面方向および膜厚方向に）離散化して拡がっているために、電荷保持特性が、トンネル絶縁膜（ボトム絶縁膜）厚のほかに、Six Ny 膜中のキャリアトラップに捕獲される電荷のエネルギー的および空間的な分布に依存する。

【0 0 0 7】このトンネル絶縁膜に局所的にリーク電流パスが発生した場合、FG 型では多くの電荷がリークパスを通してリークして電荷保持特性が低下しやすいのに対し、MONOS 型では、電荷蓄積手段が空間的に離散

化されているため、リークパス周辺の局所的な電荷がリークパスを通して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。このため、MONOS型においては、トンネル絶縁膜の薄膜化による電荷保持特性の低下の問題はFG型ほど深刻ではない。

【0008】また、不揮発性半導体メモリの大容量化、高速化を実現するには、ゲート長のスケーリングが必須であるが、そのためにはトンネル絶縁膜厚のスケーリングが必要となる。FG型では、上記電荷保持特性の低下のためにトンネル絶縁膜厚のスケーリングが困難であり、これがそのままゲート長のスケーリングを困難なものとしている。これに対し、MONOS型では、トンネル絶縁膜厚を薄くできる分、ゲート長の微細化も進めやすい。すなわち、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル絶縁膜のスケーリング性は、MONOS型の方がFG型よりも優れている。

【0009】MONOS型不揮発性メモリで微細メモリセルを実現するにはディスタープ特性の改善が重要であり、そのためにはトンネル絶縁膜を通常の膜厚(1.6nm~2.0nm)より厚く設定する必要が生じている。トンネル絶縁膜を比較的厚膜化した場合、書き込み速度は0.1~10msec程度で未だ十分でない。つまり、従来のMONOS型等の不揮発性メモリでは、信頼性(たとえば、データ保持特性、リードディスタープ特性あるいはデータ書換え特性など)を十分に満足させた場合、書き込み速度は100μsecが限界である。

【0010】書き込み速度だけを考えると高速化も可能であるが、今度は信頼性および低電圧化が十分にできない。たとえば、チャネルホットエレクトロン(CHE)をソース側から注入するソースサイド注入型MONOSトランジスタが報告されたが(IEEE Electron Device Letter 19, 1998, pp153)、このソースサイド注入型MONOSトランジスタでは、動作電圧が書き込み時12V、消去時14Vと高いうえ、リードディスタープ特性およびデータ書換え特性などの信頼性が十分でない。

【0011】その一方、最近になって、従来のCHE注入方式によって電荷を離散的なトラップの一部に注入できることに着目して、電荷蓄積手段のソース側とドレイン側に独立に2値情報を書き込むことにより1メモリセルあたり2ビットを記録可能な技術が報告された。たとえば“Extended Abstract of the 1999 International Conference on Solid State Devices and Materials, Tokyo, 1999, pp.522-523”では、ソースとドレイン間の電圧印加方向を入れ換えて2ビット情報をCHE注入により書き込み、読み出し時には、書き込み時と逆方向に所定電圧をソースとドレイン間に印加する、いわゆる“リバースリード”方法によって書き込み時間が短く蓄積電荷量が少ない場合でも2ビット情報を確実に読み出すことを可能としている。また、消去はバンド間トンネル電流を利用したホール注入によって行っている。この

技術によって、書き込み時間の高速化とビットコストの大幅な低減が可能となった。

【0012】

【発明が解決しようとする課題】ところが、この従来のCHE注入タイプのMONOS型の不揮発性メモリでは、チャネル内を電子を加速して高エネルギー電子(ホットエレクトロン)を発生させることから、ソースとドレイン間に酸化膜のバリア3.2eVより大きな電圧、実際には4.5V程度の電圧印加が必要であり、このソース・ドレイン間電圧を低減することは困難である。このため、書き込み時におけるパンチスルー効果が制限となってゲート長のスケーリングが難しいという課題がある。

【0013】また、CHE注入方式では、電子をチャネル内で加速させるため書き込み時に数百μAの電流を必要とし、その結果、一括して並列書き込み可能なメモリセル数を大きくできないという課題もある。

【0014】さらに、CHE注入方式では、メモリトランジスタのチャネルに電流を流して書き込みを行うため、前記した2ビット記録を目的としてドレイン側とソース側に同時に書き込みを行うことができないという課題がある。

【0015】本発明の目的は、MONOS型など平面的に離散化されたキャリアトラップ等の電荷蓄積手段に電荷を蓄積させて基本動作するメモリトランジスタにおいて、パンチスルーを抑制しながら少ない電流で極めて高速に書き込みができ、かつ、ゲート長およびゲート絶縁膜厚のスケーリング性が良好な不揮発性半導体記憶装置と、その動作方法(書き込み方法および消去方法)を提供することである。

【0016】

【課題を解決するための手段】本発明の第1の観点に係る不揮発性半導体記憶装置は、基板と、当該基板に設けられ第1導電型半導体からなるチャネル形成領域と、当該チャネル形成領域を挟んで上記基板に形成された第2導電型半導体からなり、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にホットホールが上記第1不純物領域および/または第2不純物領域から注入される電荷蓄積手段とを有する。好適に、上記ホットホールはバンド間トンネル電流に起因したホットホールである。

【0017】本発明では1メモリセル当たりの記憶ビット数は、2ビット/セル、1ビット/セルの何れでもよい。前者の場合、上記ゲート絶縁膜は、好適に、上記第1不純物領域からホットホールが注入される第1領域と、上記第2不純物領域からホットホールが注入される



第2領域と、上記第1、第2領域間に挟まれ、ホットホールが注入されない第3領域とを有する。また、好適に、上記電荷蓄積手段が上記第1、第2領域に形成され、電荷蓄積手段の分布領域が上記第3領域を介して空間的に分離されている。たとえば、MONOS型等の場合、上記第1、第2領域が複数の膜を積層した積層膜構造を有し、上記第3領域が単一材料の絶縁膜からなる。さらに、好適に、上記第1および第2領域上に形成されたゲート電極と、上記第3領域上に形成されたゲート電極とが空間的に分離されている。あるいは、上記第1、第2および第3領域上のゲート電極に対しそれぞれ空間的に分離した、上記第1領域外側の第1制御ゲートおよび上記第2領域外側の第2制御ゲートをさらに有する。第1および第2領域上のゲート電極と第3領域上のゲート電極が空間的に分離されている場合、2つのメモリトランジスタのチャンネル形成領域と、その間の選択トランジスタのチャンネル形成領域とが直列に連結されている。

【0018】1ビット／セル記憶の場合、好適に、上記チャンネル形成領域、上記第1および第2不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記第1、第2不純物領域双方からホットホールを注入したとき、上記第1不純物領域から注入されたホットホールの保持領域と上記第2不純物領域から注入されたホットホールの保持領域との少なくとも一部が上記ゲート絶縁膜内で合体するゲート長以下である。

【0019】また、本発明では、好適に、上記チャンネル形成領域、上記第1および第2不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタがワード方向とビット方向とに複数配置され、上記ゲート電極をワード方向に接続する複数のワード線と、当該複数のワード線に接続され、動作対象のメモリトランジスタが接続された選択ワード線に負電圧を印加し、動作対象のメモリトランジスタが接続されていない非選択ワード線に正電圧を印加するワード線駆動回路とをさらに有する。上記複数のメモリトランジスタは、書き込み状態のしきい値電圧が消去状態のしきい値電圧より低い。また、上記第1導電型がp型であり、上記第2導電型がn型である。

【0020】この不揮発性半導体記憶装置では、分離ソース線型、仮想接地線型など、第1不純物領域（たとえば、ドレイン不純物領域）に接続された共通線と、第2不純物領域（たとえば、ソース不純物領域）に接続された共通線とが独立に制御可能なNOR型メモリセル方式が好適である。分離ソース線型では、第1不純物領域が接続された共通線を第1共通線、第2不純物領域が接続された共通線を第2共通線という。その場合、第1および第2共通線がそれぞれ階層化されていてもよい。いわゆるAND型では、メモリブロック内の内部接続線としての第1および第2副線に対しメモリトランジスタが並

列接続されている。

【0021】本発明の第2の観点に係る不揮発性半導体記憶装置の動作方法は、基板と、当該基板に設けられ第1導電型半導体からなるチャンネル形成領域と、当該チャンネル形成領域を挟んで上記基板に形成された第2導電型半導体からなり、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャンネル形成領域上に設けられ、上記チャンネル形成領域に対向した面内および膜厚方向に離散化された電荷蓄積手段を内部に含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極とを有する不揮発性半導体記憶装置の動作方法であって、書き込み時に、ホットホールを上記第1不純物領域および／または上記第2不純物領域から上記電荷蓄積手段に注入する。好適に、このホットホールとして、バンド間トンネル電流に起因したホットホールを用いる。

【0022】この動作方法においても、2ビット／セル記憶の場合と、1ビット／セル記憶の場合がある。前者の場合、好適に、書き込み時に、上記第1不純物領域から上記ゲート絶縁膜の第1領域に上記ホットホールを注入し、当該第1領域へのホットホール注入と独立に、上記第2不純物領域から上記ゲート絶縁膜内で上記第1領域と離れた第2領域に上記ホットホールを注入する。後者の場合、好適に、上記第1不純物領域から注入されたホットホールの保持領域と、上記第2不純物領域から注入されたホットホールの保持領域との少なくとも一部が、上記電荷蓄積手段内で合体する。具体的に、たとえば、上記チャンネル形成領域、上記第1および第2不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記2つのホットホール保持領域の少なくとも一部で合体が起こるゲート長以下である。

【0023】本発明では、第1、第2不純物領域がワード方向のセル間で分離している場合（分離ソース線NOR型）、あるいは、第1、第2不純物領域がワード方向のセル間で共通の場合（VG型）でも第1領域上のゲート電極と第2領域上のゲート電極が分離している場合に、同一ワード線に接続されたメモリセルを1回の動作で一括して書き込みできる。すなわち、上記チャンネル形成領域、上記第1および第2不純物領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、同一ワード線に接続した全てのメモリトランジスタに対し、ホットホールを注入する上記第1、第2領域に対応した全ての第1、第2不純物領域に所定の電圧を印加し、ホットホール注入を行わない他の第1、第2領域に対応した第1、第2不純物領域を電氣的フローティング状態とし、上記同一ワード線に、上記第1、第2不純物領域に印加する電圧との差が

所定の書き込み電圧となる電圧を印加し、当該同一ワード線に接続した全てのメモリトランジスタを1回の動作で並列に書き込む。

【0024】また、本発明では書き込み時に、上記第1および/または第2不純物領域と上記ゲート電極との間に所定の書き込み電圧を印加する。たとえば、上記チャネル形成領域、上記第1および第2不純物領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、動作対象のメモリトランジスタが接続されている選択ワード線に負電圧を印加し、動作対象のメモリトランジスタが接続されていない非選択ワード線に正電圧を印加する。好適に、書き込み時に、上記第1および第2不純物領域に同一電圧を印加する。この電圧印加方法は、2ビット/セル書き込みでも行うが、とくに1ビット/セル書き込みではホットホール注入効率が向上し、望ましい。なお、片方よりホットホールを注入する場合には注入しない側の第1または第2不純物領域をオープンとするとよい。また、好適に、上記チャネル形成領域、上記第1および第2不純物領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ビット方向の複数のメモリトランジスタごとに上記第1不純物領域が第1共通線により接続され、上記第2不純物領域が第2共通線により接続されているメモリセルアレイに対する書き込みにおいて、動作対象のメモリトランジスタが接続されている第1および第2共通線に正電圧を印加し、動作対象のメモリトランジスタが接続されていない第1および第2共通線に0Vを印加する。

【0025】消去時に、好適に、上記第1および/または第2不純物領域からホットホールが注入されている上記電荷蓄積手段に対して、直接トンネル効果またはFNトンネル効果を用いてチャネル全面より電子を注入する。

【0026】この不揮発性半導体記憶装置およびその動作方法は、電荷蓄積手段がチャネル形成領域に対向した面内および膜厚方向に離散化された、たとえばMONOS型、いわゆるナノ結晶などの小粒径導電体を有する微細粒子型などに好適である。

【0027】本発明に係る不揮発性半導体記憶装置の動作方法では、メモリトランジスタのチャネル導電型がn型の場合、動作対象のメモリトランジスタが接続され選択された第1、第2共通線（第1、第2不純物領域）に所定の正電圧、たとえば5.0V〜6.0Vを印加する。また、動作対象のメモリトランジスタが接続され選択されたワード線（ゲート電極）に所定の負電圧、たとえば-6.5V〜-5.0Vを印加する。このとき、他

の非選択ワード線に、たとえば0Vないし5V程度の正電圧を印加し、また他の非選択な第1、第2共通線および基板に0Vを印加する。

【0028】第1、第2不純物領域の濃度を最適化することにより、この電圧印加条件下で、第1、第2不純物領域の表面が深い空乏状態となり、エネルギーバンドの曲がり角が急峻となる。このときバンド間トンネル効果により電子が価電子帯より導電帯にトンネルし、第1、第2不純物領域側に流れる。その結果、ホールが発生し、このホールの一部が電界加速されてホットホールとなる。第1、第2不純物領域端で発生した高エネルギー電荷（ホットホール）は、その運動量（方向と大きさ）を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に電荷蓄積手段（キャリアトラップ）に注入される。第1、第2不純物領域からの電荷注入箇所はそれぞれ局所的であるが、ゲート長がたとえば100nm以下と短い場合、電荷蓄積手段の分布面内で、第1不純物領域側からの電荷注入領域と、第2不純物領域側からの電荷注入領域が中央で少なくとも一部が合体し、ほぼ全面に対し電荷注入が行われる。このため、当該メモリトランジスタのしきい値電圧が大きく低下する。ホール電流自体は小さい（基板電流で2nA/セル）が、このように電荷蓄積手段分布面内のほぼ全域に電荷が注入されることから、必要なしきい値電圧変化を得るための書き込み時間は、たとえば20μsec以下と、従来の並列書き込みが可能なメモリセルと比較して1桁以上短くなる。

【0029】一方、2ビット/セル書き込みに最適なメモリトランジスタ構造としては、たとえば電荷蓄積手段（キャリアトラップ等）を含むゲート絶縁膜をチャネル方向両側に第1、第2領域に分離して、その間の第3領域には電荷蓄積手段を含まない単一材料の絶縁膜とする。この場合、中央の第3領域部分がMOSトランジスタとして機能する。この構造では、MOSトランジスタのしきい値電圧を予め一定の範囲に制御しておくことで、一定の電流で読み出しが行える。すなわち、このMOSトランジスタがない場合、ホットホール注入が過剰に行われメモリトランジスタのしきい値電圧が大きく低下すると、読み出し時の電流量がばらつく上、電流消費も無駄が多い。ところが、本発明ではMOSトランジスタが存在するため、メモリトランジスタのしきい値電圧が大きく低下し読み出し電流が増大しようとする、MOSトランジスタがカットオフし、リミットとして機能する。このため、このメモリセルではMOSトランジスタのしきい値電圧が読み出し電流の上限が制御でき、無駄な電流消費がない。

【0030】また、消去時には、たとえば第1または第2不純物領域および基板を0Vとした状態で、ワード線に正電圧を印加し、チャネル全面より電子を直接トンネル効果またはFNトンネル効果を用いて電荷蓄積手段に



注入する。これにより、しきい値電圧が上昇して消去状態となる。この消去方法では、何れのトンネル効果を用いてもブロック一括消去が可能である。

#### 【0031】

##### 【発明の実施の形態】第1実施形態

図1に、第1実施形態に係る不揮発性メモリ装置の要部回路構成を示す。図2に、NOR型メモリセルアレイの平面図を、図3に図2のB-B'線に沿った断面側から見た鳥瞰図を示す。

【0032】この不揮発性メモリ装置では、ビット線（第1共通線）が主ビット線（第1主線）と副ビット線（第1副線）に階層化され、ソース線（第2共通線）が主ソース線（第2主線）と副ソース線（第2副線）に階層化されている。主ビット線MBL1に選択トランジスタS11を介して副ビット線SBL1が接続され、主ビット線MBL2に選択トランジスタS21を介して副ビット線SBL2が接続されている。また、主ソース線MSL1に選択トランジスタS12を介して副ソース線SSL1が接続され、主ソース線MSL2に選択トランジスタS22を介して副ソース線SSL2が接続されている。

【0033】副ビット線SBL1と副ソース線SSL1との間に、メモリトランジスタM11～M1n（たとえば、 $n=128$ ）が並列接続され、副ビット線SBL2と副ソース線SSL2との間に、メモリトランジスタM21～M2nが並列接続されている。この互いに並列に接続されたn個のメモリトランジスタと、2つの選択トランジスタ（S11とS12、又は、S21とS22）とにより、メモリセルアレイを構成する単位ブロックが構成される。

【0034】ワード方向に隣接するメモリトランジスタM11, M21, …の各ゲートがワード線WL1に接続されている。同様に、メモリトランジスタM12, M22, …の各ゲートがワード線WL2に接続され、また、メモリトランジスタM1n, M2n, …の各ゲートがワード線WLnに接続されている。ワード方向に隣接する選択トランジスタS11, …は選択線SG11により制御され、選択トランジスタS21, …は選択線SG21により制御される。同様に、ワード方向に隣接する選択トランジスタS12, …は選択線SG12により制御され、選択トランジスタS22, …は選択線SG22により制御される。

【0035】この微細NOR型セルアレイでは、図3に示すように、半導体基板SUBの表面にpウエルWが形成されている。pウエルWは、トレンチに絶縁物を埋め込んでなり平行ストライプ状に配置された素子分離絶縁層ISOにより、ワード方向に絶縁分離されている。

【0036】素子分離絶縁層ISOにより分離された各pウエル部分が、メモリトランジスタの能動領域となる。能動領域内の幅方向両側で、互いの距離をおいた平

行ストライプ状にn型不純物が高濃度に導入され、これにより、副ビット線SBL1, SBL2（以下、SBLと表記）および副ソース線SSL1, SSL2（以下、SSLと表記）が形成されている。副ビット線SBLおよび副ソース線SSL上に絶縁膜を介して直交して、各ワード線WL1, WL2, WL3, WL4, …（以下、WLと表記）が等間隔に配線されている。これらのワード線WLは、内部に電荷蓄積手段を含む絶縁膜を介してpウエルW上および素子分離絶縁層ISO上に接している。副ビット線SBLと副ソース線SSLとの間のpウエルWの部分と、各ワード線WLとの交差部分がメモリトランジスタのチャネル形成領域となり、そのチャネル形成領域に接する副ビット線部分がドレイン、副ソース線部分がソースとして機能する。

【0037】ワード線WLの上面および側壁は、オフセット絶縁層およびサイドウォール絶縁層（本例では、通常の層間絶縁層でも可）により覆われている。これら絶縁層には、所定間隔で副ビット線SBLに達するビットコンタクトBCと、副ソース線SSLに達するソースコンタクトSCとが形成されている。これらのコンタクトBC, SCは、たとえば、ビット方向のメモリトランジスタ128個ごとに設けられている。また、絶縁層上を、ビットコンタクトBC上に接触する主ビット線MBL1, MBL2, …（以下、MBLと表記）と、ソースコンタクトSC上に接触する主ソース線MSL1, MSL2, …（以下、MSLと表記）が交互に、平行ストライプ状に形成されている。

【0038】この微細NOR型セルアレイは、第1共通線（ビット線）および第2共通線（ソース線）が階層化され、メモリセルごとにビットコンタクトBCおよびソースコンタクトSCを形成する必要がない。したがって、コンタクト抵抗自体のバラツキは基本的でない。ビットコンタクトBCおよびソースコンタクトSCは、たとえば128個のメモリセルごとに設けられるが、このプラグ形成を自己整合的に行わないときは、オフセット絶縁層およびサイドウォール絶縁層は必要ない。すなわち、通常の層間絶縁膜を厚く堆積してメモリトランジスタを埋め込んだ後、通常のフォトリソグラフィとエッチングによりコンタクトを開口する。

【0039】副線（副ビット線、副ソース線）を不純物領域で構成した疑似コンタクトレス構造として無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅Fで行った場合、 $8F^2$ に近い非常に小さいセル面積で製造できる。さらに、ビット線とソース線が階層化されており、選択トランジスタS11又はS21が非選択の単位ブロックにおける並列メモリトランジスタ群を主ビット線MBL1またはMBL2から切り離すため、主ビット線の容量が著しく低減され、高速化、低消費電力化に有利である。また、選択トランジスタS12またはS22の働きで、副ソース線を主ソース線か

ら切り離して、低容量化することができる。なお、更なる高速化のためには、副ビット線SBLおよび副ソース線SSLをシリサイドを張りつけた不純物領域で形成し、主ビット線MBLおよび主ソース線MSLをメタル配線とするとよい。

【0040】図4に、メモリトランジスタのワード方向の拡大断面図を示す。図4において、副ビット線SBLと副ソース線SSLとの間に挟まれ、ワード線WLが交差する部分が、当該メモリトランジスタのチャネル形成領域となる。

【0041】チャネル形成領域上には、ゲート絶縁膜10を介してメモリトランジスタのゲート電極（ワード線WL）が積層されている。ワード線WLは、一般に、p型またはn型の不純物が高濃度に導入されて導電化されたポリシリコン(doped poly-Si)、又はdoped poly-Siと高融点金属シリサイドとの積層膜からなる。このワード線WLの実効部分、すなわちソース・ドレイン間距離に相当するチャネル方向の長さ（ゲート長）は、0.1  $\mu\text{m}$ 以下、たとえば80 nm～90 nm程度である。

【0042】本実施形態におけるゲート絶縁膜10は、下層から順に、ボトム絶縁膜11、窒化膜12、トップ絶縁膜13から構成されている。ボトム絶縁膜11は、たとえば、酸化膜を形成し、これを窒化処理して用いる。ボトム絶縁膜11の膜厚は、使用用途に応じて2.5 nmから6.0 nmの範囲内で決めることができ、ここでは2.7 nm～3.5 nmに設定されている。

【0043】窒化膜12は、たとえば6.0 nmの窒化シリコン( $\text{Si}_x\text{N}_y$  ( $0 < x < 1$ ,  $0 < y < 1$ ))膜から構成されている。この窒化膜12は、たとえば減圧CVD(LP-CVD)により作製され、膜中にキャリアトラップが多く含まれている。窒化膜12は、プールのフレンケル型(PF型)の電気伝導特性を示す。

【0044】トップ絶縁膜13は、窒化膜12との界面近傍に深いキャリアトラップを高密度に形成する必要があるため、このため、例えば成膜後の窒化膜を熱酸化して形成される。トップ絶縁膜13をHTO(High Temperature chemical vapor deposited Oxide)法により形成した $\text{SiO}_2$ 膜としてもよい。トップ絶縁膜13がCVDで形成された場合は熱処理によりこのトラップが形成される。トップ絶縁膜13の膜厚は、ゲート電極（ワード線WL）からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも3.0 nm、好ましくは3.5 nm以上が必要である。

【0045】このような構成のメモリトランジスタの製造においては、まず、用意した半導体基板SUBに対し素子分離絶縁層ISOおよびpウエルWを形成した後、副ビット線SBLおよび副ソース線SSLとなる不純物領域をイオン注入法により形成する。また、しきい値電圧調整用のイオン注入等を必要に応じて行う。

【0046】つぎに、半導体基板SUB上にゲート絶縁

膜10を成膜する。具体的に、たとえば、短時間高温熱処理法(RTO法)により1000°C、10 secの熱処理を行い、酸化シリコン膜(ボトム絶縁膜11)を形成する。つぎに、ボトム絶縁膜11上にLP-CVD法により窒化シリコン膜(窒化膜12)を、最終膜厚が6 nmとなるように、これより厚めに堆積する。このCVDは、たとえば、ジクロロシラン(DCS)とアンモニアを混合したガスを用い、基板温度730°Cで行う。形成した窒化シリコン膜表面を熱酸化法により酸化して、たとえば3.5 nmの酸化シリコン膜(トップ絶縁膜13)を形成する。この熱酸化は、たとえば $\text{H}_2\text{O}$ 雰囲気中で炉温度950°Cで40分程度行う。これにより、トラップレベル(窒化シリコン膜の伝導帯からのエネルギー差)が2.0 eV以下の程度の深いキャリアトラップが約 $1 \sim 2 \times 10^{11} / \text{cm}^2$ の密度で形成される。また、窒化膜12が1 nmに対し熱酸化シリコン膜(トップ絶縁膜13)が1.5 nm形成され、この割合で下地の窒化膜厚が減少し、窒化膜12の最終膜厚が6 nmとなる。

【0047】ゲート電極（ワード線WL）となる導電膜とオフセット絶縁層（不図示）との積層膜を積層させ、この積層膜を一括して同一パターンにて加工する。続いて、図3のメモリセルアレイ構造とするために、サイドウォール絶縁層とともに自己整合コンタクトを形成し、自己整合コンタクトにより表出する副ビット線SBLおよび副ソース線SSL上に、ビットコンタクトBCおよびソースコンタクトSCを形成する。その後、これらプラグ周囲を層間絶縁膜で埋め込み、層間絶縁膜上に主ビット線MBLおよび主ソース線MSLを形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0048】つぎに、このような構成の不揮発性メモリの書き込み時のバイアス設定例および動作について、メモリトランジスタM11にデータを書き込む場合を例に説明する。図5は、書き込み時のバイアス設定条件を示す回路図、図6は読み出し時のバイアス設定条件を示す回路図、図7は消去時のバイアス設定条件を示す回路図である。また、図8は書き込み動作を示す素子断面図、図9は消去動作を示す素子断面図である。

【0049】書き込み時に、図5に示すように、選択ワード線WL1に所定の負電圧、例えば-6.0 Vを印加する。選択主ビット線MBL1、選択主ソース線MSL1および選択線SG11、SG12に所定の正電圧、たとえば6.0 V +  $\alpha$  ( $\alpha$ : トランジスタS11, S12のしきい値電圧)を印加する。また、非選択ワード線WL2～WL $n$ に所定の書き込み禁止電圧、たとえば5 Vを印加し、非選択主ビット線MBL2、非選択主ソース線MSL2および基板(pウエルW)に0 Vを印加する。このとき、選択線SG21、SG22を、電源電圧

$V_{cc}$ で保持する。これにより、選択副ビット線SBL1および選択副ソース線SSL1に6Vが伝達され、非選択副ビット線SBL2および非選択副ソース線SSL2に0Vが伝達される。

【0050】この書き込み条件下、書き込み対象のメモリトランジスタM11において、選択ワード線WL1に印加された負電圧により、副ビット線SBL1および副ソース線SSL1をなすn型不純物領域の表面が深い空乏状態となり、エネルギーバンドの曲がり角が急峻となる。このときバンド間トンネル効果により電子が価電子帯より導電帯にトンネルし、n型不純物領域側に流れ、その結果、ホールが発生する。発生したホールは、チャネル形成領域の中央部側に若干ドリフトして、そこで電界加速され、その一部がホットホールとなる。このn型不純物領域端で発生した高エネルギー電荷（ホットホール）は、その運動量（方向と大きさ）を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に電荷蓄積手段であるキャリアトラップに注入される。

【0051】副ビット線SBL1をなすn型不純物領域からの電荷注入、副ソース線SSL1をなすn型不純物領域からの電荷注入は、それぞれ局所的である。ところが、本実施形態におけるメモリトランジスタのゲート長が100nm以下と短いため、図8に示すように、電荷蓄積手段の分布面内で、SBL側からの電荷注入領域14aと、SSL側からの電荷注入領域14bが中央で合体し、ほぼチャネル形成領域全面に対しホール注入が行われる。このため、当該メモリトランジスタM11のしきい値電圧が大きく低下し、書き込みがなされる。すなわち、本実施形態では、ゲート長が短いほど、電荷蓄積手段のチャネルに対向した全面に効率的にホールが注入される。

【0052】一方、同じブロック内の非選択メモリトランジスタM12、…では、ゲートとソースまたはドレインとの間に1Vしか電圧がかからない。また、他のブロック内の非選択メモリトランジスタM21、M22、…では、ゲートとソースまたはドレインとの間に5Vまたは6V程度しか電圧がかからない。したがって、電荷蓄積手段にホールが注入されず、有効に書き込みが禁止される。

【0053】この書き込み方法では、電荷の電界加速方向と注入方向がほぼ一致するため、従来のCHE注入方式より電荷の注入効率が高い。また、チャネル自体は形成せずに書き込みを行うため、電流消費が少なくて済む。ホール電流自体は小さいが、このように電荷蓄積手段分布面内のほぼ全域に電荷が注入されることから、必要なしきい値電圧変化を得るための書き込み時間は、たとえば20μsec以下と従来より1桁以上短くなる。

【0054】図10に、ゲート電圧 $V_g = -6V$ の場合の基板電流とゲート電流のソース/ドレイン(S/D)バイアス電圧依存性を示した。書き込み条件( $V_g =$

6V,  $V_s = V_d = 6V$ )下の電流は約20nA/μmであり、ゲート幅を10μmとすると、ビット当りの書き込み電流は200nA/セルと非常に低い電流値を実現できた。

【0055】以上の書き込み動作では、書き込みをすべき選択セルを含むブロックと、書き込みを禁止すべきブロックをバイアス条件により設定した。本実施形態では、全てのブロックを選択し、ワード線WL1に連なるセルを一括してページ書き込みすることができる。その際、上記した注入効率の改善によってビット当たりの書き込み電流が桁違いに小さくなり、従来のCHE注入方式では1バイト(B)程度であった一括並列書き込み可能なセル数が、本実施形態では1キロバイト(kB)程度と格段に大きくなる。

【0056】読み出しでは、ページ読み出しを基本とする。図6に示すように、主ビット線MBL1, MBL2, …に所定のドレイン電圧、たとえば1.0Vを印加する。また、非選択ワード線WL2, WL3, …に所定の読み出し禁止電圧、たとえば-0.3Vを印加し、主ソース線MSL1, MSL2, および基板(pウエルW)に0Vを印加する。また、全ての選択線SG11, SG21, SG12, SG22を電源電圧 $V_{cc}$ で保持する。この状態で、読み出し対象のワード線WL1に所定のゲート電圧、たとえば1.5V~2.0Vを印加する。これにより、ワード線WL1に接続されたメモリトランジスタM11, M21, …が書き込み状態に応じてオンまたはオフし、オンした場合のみ主ビット線電圧が変化する。この電圧変化を図示しないセンスアンプ等で増幅して読み出す。

【0057】消去は、モディファイドFN(MFN)トンネリングまたは直接トンネリングを用いてチャネル全面から電子を注入することにより行う。MFNトンネリングを用て全ブロックを一括消去する場合、たとえば図7に示すように、全てのワード線WL1, WL2, …に12V、全ての主ビット線MBL1, MBL2、全ての主ソース線MSL1, MSL2および基板(pウエルW)に0Vを印加する。このとき、全ての選択線SG11, SG21, SG12, SG22を電源電圧 $V_{cc}$ で保持する。

【0058】これにより、図9に示すように、基板側から電子が電荷蓄積手段であるキャリアトラップに注入され、しきい値電圧が上昇して消去が行われる。この電子注入による消去は0.4msec程度まで低減でき、従来の直接トンネル効果によるホール注入消去時間の典型値100msecに比べ1桁以上改善された。また、従来のホール注入による消去では、書き込みに比べ電荷がボトム絶縁膜を通過する時間が長いこと絶縁膜質の劣化が懸念されるが、本発明では、ホットホール注入を電荷通過時間の短い書き込みに利用し消去は電子注入を用いるため、信頼性が高い。

【0059】図11に、ボトム絶縁膜厚2.9nm、ゲート長90nmのメモリトランジスタの書き込み特性を示す。書き込み条件は、ゲート電圧 $V_g$ を-6V、ソース電圧 $V_s$ およびドレイン電圧 $V_d$ を6Vとし、ウェル電圧を0Vとした。書き込み時間とともにしきい値電圧が低下するが、20 $\mu$ secでしきい値電圧が十分に低下していることが分かった。このことは、20 $\mu$ sで情報の書き込みが可能であることを示唆している。なお、消去条件としては、ゲート電圧 $V_g$ が12V、ソース電圧 $V_s$ およびドレイン電圧 $V_d$ が0V、消去時間が0.3msecを用いている。

【0060】図12に、ボトム絶縁膜厚2.55nm、ゲート長90nmのメモリトランジスタの書き込み特性を示す。書き込み条件は、ゲート電圧 $V_g$ を-6.5V、ソース電圧 $V_s$ およびドレイン電圧 $V_d$ を5.5Vとし、ウェル電圧を0Vとした。時間とともにしきい値電圧が低下し、この場合も、20 $\mu$ secでしきい値電圧が十分に低下して高速に書き込みが行われていることが分かった。なお、消去条件としては、ゲート電圧 $V_g$ が12V、ソース電圧 $V_s$ およびドレイン電圧 $V_d$ が0V、消去時間が0.2msecを用いている。

【0061】ゲート長が90nmと短いメモリトランジスタに対し、ソース・ドレイン両側からホットホールの局所注入を行った場合、十分なしきい値電圧の低下が得られることが分かった。ゲート長が180nmと長い場合、この条件で中心部にホールの注入が行われなためしきい値電圧は不十分であった。このため、ゲート長が90nmと短くすることでホール注入領域が電荷蓄積手段のチャネル対向面全域に及ぶことが、しきい値電圧の低下に大きく寄与していると推測される。以上より、ゲート長が90nmのMONOSトランジスタで、書き込み速度20 $\mu$ secが達成された。

【0062】書き込み状態、消去状態のメモリトランジスタの電流-電圧特性について検討した。この結果、ドレイン電圧1.0Vでの非選択セルからのオフリーク電流値は、読み出し時に非選択ワード線を-0.3V程度にバイアスしているため、約1nAと小さかった。この場合の読み出し電流は1 $\mu$ A以上であるため、非選択セルの誤読み出しが生じることはない。したがって、ゲート長90nmのMONOS型メモリトランジスタにおいて読み出し時のパンチスルー耐圧のマージンは十分あることが分かった。また、ゲート電圧1.5Vでのリードディスタープ特性も評価したが、 $3 \times 10^4$  sec以上時間経過後でも読み出しが可能であることが分かった。

【0063】図13に、ボトム絶縁膜厚2.9nmのメモリトランジスタのデータ書き換え特性を示す。書き込みおよび消去条件は、図11と同じとした。この図より10万回までのしきい値電圧差のナローイング(narrowing)は小さく、書き換え回数10万回を満足していることが分かった。図14に、ボトム絶縁膜厚2.55nm

のメモリトランジスタのデータ書き換え特性を示す。書き込み条件は、バイアス電圧が図11と同じで、書き込み時間を10 $\mu$ secと短くした。消去条件は、バイアス電圧が図12と同じで、消去時間を0.4msecと長くした。この図より、書き換え回数10万回を満足していることが分かり、ボトム絶縁膜厚が異なる場合も、同様な高信頼性が得られることが分かった。なお、以上の何れの場合も、書き換え回数100万回までは十分なしきい値電圧差が維持されていることを確認した。

【0064】また、データ保持特性は $1 \times 10^5$ 回のデータ書換え後で85 $^{\circ}$ C、10年を満足した。

【0065】以上より、ゲート長90nmのMONOS型不揮発性メモリトランジスタとして十分な特性が得られていることを確かめることができた。

【0066】以下、第2～第5実施形態に、第1実施形態のメモリセルアレイの構成およびパターンの変更例について説明する。

#### 【0067】第2実施形態

図15は、第2実施形態に係る分離ソース線NOR型の不揮発性半導体メモリのメモリセルアレイの概略構成を示す回路図である。

【0068】この不揮発性メモリ装置では、NOR型メモリセルアレイの各メモリセルがメモリトランジスタ1個で構成されている。図15に示すように、メモリトランジスタM11～M22が行列状に配置され、これらトランジスタ間がワード線、ビット線および分離型ソース線によって配線されている。すなわち、ビット方向に隣接するメモリトランジスタM11およびM12の各ドレインがビット線BL1に接続され、各ソースがソース線SL1に接続されている。同様に、ビット方向に隣接するメモリトランジスタM21およびM22の各ドレインがビット線BL2に接続され、各ソースがソース線SL2に接続されている。また、ワード方向に隣接するメモリトランジスタM11とM21の各ゲートがワード線WL1に接続され、同様に、ワード方向に隣接するメモリトランジスタM12とM22の各ゲートがワード線WL2に接続されている。メモリセルアレイ全体では、このようなセル配置およびセル間接続が繰り返されている。

【0069】図16は、第2実施形態に係る微細NOR型セルアレイの概略平面図である。また、図17は、図16のA-A'線に沿った断面側から見た鳥瞰図である。

【0070】この微細NOR型メモリセルアレイでは、図17に示すように、p型半導体基板SUB(pウェルでも可)の表面にトレンチまたはLOCOSなどから素子分離絶縁層ISOが形成されている。素子分離絶縁層ISOは、図16に示すように、ビット方向(図15の縦方向)に長い平行ストライプ状に配置されている。素子分離絶縁層ISOにほぼ直交して、各ワード線WL1, WL2, WL3, WL4, …が等間隔に配線されて

いる。このワード線は、第1実施形態と同様、ボトム絶縁膜、窒化膜、トップ絶縁膜からなるゲート絶縁膜上に積層したポリシリコン等のゲート電極から構成されている。

【0071】各素子分離絶縁層ISOの間隔内の能動領域において、各ワード線の離間スペースに、基板SUBと逆導電型の不純物が高濃度に導入されてソース不純物領域Sとドレイン不純物領域Dとが交互に形成されている。このソース不純物領域Sとドレイン不純物領域Dは、その大きさがワード方向(図15の横方向)には素子分離絶縁層ISOの間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース不純物領域Sとドレイン不純物領域Dは、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0072】ワード線の上部および側壁は、絶縁層で覆われている。すなわち、ワード線WL1, WL2, ...の上部に同じパターンにてオフセット絶縁層が配置され、オフセット絶縁層、その下のゲート電極(ワード線)およびゲート絶縁膜からなる積層パターンの両側壁に、サイドウォール絶縁層が形成されている。このオフセット絶縁層およびサイドウォール絶縁層により、各ワード線同士のスペース部分に、ワード線に沿って細長い自己整合コンタクトホールが開口されている。

【0073】ソース不純物領域Sまたはドレイン不純物領域Dに一部重なるように、自己整合コンタクトホール内に導電性材料が互い違いに埋め込まれ、これによりビットコンタクトBCおよびソースコンタクトSCが形成されている。これらコンタクトBC, SCの形成では、自己整合コンタクトホール全域を埋め込むように導電材料を堆積し、その上に、エッチングマスク用のレジストパターンを形成する。このとき、レジストパターンを自己整合コンタクトホールの幅より一回り大きくし、また、一部を素子分離絶縁層ISOに重ねる。そして、このレジストパターンをマスクとしてレジストパターン周囲の導電材料をエッチングにより除去する。これにより、2種類のコンタクトBC, SCが同時に形成される。

【0074】図示しない絶縁膜でコンタクト周囲の凹部が埋め込まれている。この絶縁膜上を、ビットコンタクトBC上に接触するビット線BL1, BL2, ...と、ソースコンタクトSC上に接触するソース線SL1, ...が交互に、平行ストライプ状に形成されている。

【0075】この微細NOR型セルアレイは、そのビット線またはソース線に対するコンタクト形成が、自己整合コンタクトホールの形成と、プラグの形成により達成される。自己整合コンタクトホールの形成では、ワード線との絶縁分離が達成されるとともに、ソース不純物領域Sまたはドレイン不純物領域Dの表出面が均一に形成される。そして、ビットコンタクトBCおよびソースコ

ンタクトSCの形成は、この自己整合コンタクトホール内のソース不純物領域Sまたはドレイン不純物領域Dの表出面に対して行う。したがって、各プラグの基板接触面は、そのビット方向のサイズがほぼ自己整合コンタクトホールの形成により決められ、その分、コンタクト面積のバラツキは小さい。

【0076】ビットコンタクトBCまたはソースコンタクトSCと、ワード線との絶縁分離が容易である。すなわち、ワード線形成時に一括してオフセット絶縁層を形成しておき、その後、絶縁膜の成膜と、全面エッチング(エッチバック)を行うだけでサイドウォール絶縁層が形成される。また、ビットコンタクトBCとソースコンタクトSC、さらに、ビット線とソース線が同一階層の導電層をパターンニングして形成されるため、配線構造が極めて簡素であり、工程数も少なく、製造コストを低く抑えるのに有利な構造となっている。しかも、無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅Fで行った場合、 $8F^2$ に近い非常に小さいセル面積で製造できる。

【0077】第2実施形態に係るMONOS型メモリトランジスタの素子構造は、基本的な構造は第1実施形態と同様である。ただし、この第2実施形態におけるメモリトランジスタでは、ソース不純物領域Sとドレイン不純物領域Dとの対向方向(チャネル方向)とワード線WLの配線方向が直交する。したがって、ゲート長は、ほぼワード線幅で決まる。

【0078】このような構成のメモリトランジスタの製造においては、ソースとドレインとなる不純物領域S, Dの形成をワード線の形成後に行うことが、第1実施形態と大きく異なる。すなわち、第1実施形態と同様に、素子分離絶縁層ISO, ゲート絶縁膜10およびゲート電極膜の成膜と加工を行った後に、形成したパターンと自己整合的にソース不純物領域Sおよびドレイン不純物領域Dを、イオン注入法により形成する。

【0079】続いて、図17のメモリセルアレイ構造とするために、サイドウォール絶縁層とともに自己整合コンタクトホールを形成し、自己整合コンタクトホールにより表出するソースおよびドレイン不純物領域S, D上にビットコンタクトBCおよびソースコンタクトSCを形成する。その後、これらコンタクト周囲を層間絶縁膜で埋め込み、層間絶縁膜上にビット線およびソース線を形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0080】第1実施形態では、副ビット線SBLおよび副ソース線SSLに選択トランジスタを介してトランジスタのソース・ドレイン不純物領域に伝達した。本実施形態では、第1実施形態で副ビット線SBLおよび副ソース線SSLに伝達した電圧を、ビット線BLおよび



ソース線  $SL$  に直に印加する。これにより、第 1 実施形態と同様な動作、すなわち書き込み、読み出しおよび消去が可能となる。各トランジスタにおける電荷の注入等のされ方は第 1 実施形態と同様であり、ここでの説明は省略する。

【0081】なお、本実施形態の変形として、ソース線および/またはビット線を第 1 実施形態と同様にして半導体不純物領域から構成し、32~128 個のメモリセルごとにコンタクトを介して、この不純物領域をそれぞれメタル配線に接続させた場合でも、第 1 実施形態と同様な効果が得られる。

### 【0082】第 3 実施形態

第 3 実施形態は、上記した第 2 実施形態のメモリセルアレイ構造の変形に関する。図 18 は、自己整合技術と蛇行ソース線を用いた微細 NOR 型メモリセルアレイの概略平面図である。

【0083】この NOR 型セルアレイでは、図示せぬ  $n$  ウェルの表面に縦帯状のトレンチまたは LOCOS など素子分離絶縁層 ISO が等間隔でビット方向 (図 18 の縦方向) に配置されている。素子分離絶縁層 ISO にほぼ直交して、各ワード線  $WL_{m-2}$ ,  $WL_{m-1}$ ,  $WL_m$ ,  $WL_{m+1}$  が等間隔に配線されている。このワード線構造は、前述の実施形態と同様に、ボトム絶縁膜、窒化膜、トップ絶縁膜及びゲート電極の積層膜から構成されている。

【0084】各素子分離絶縁層の間隔内の能動領域において、各ワード線の離間スペースに、例えば  $n$  型不純物が高濃度導入されてソース不純物領域 S とドレイン不純物領域 D とが交互に形成されている。このソース不純物領域 S とドレイン不純物領域 D は、その大きさがワード方向 (図 18 の横方向) には素子分離絶縁層 ISO の間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース不純物領域 S とドレイン不純物領域 D は、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0085】各ワード線の周囲は、サイドウォール絶縁層を形成するだけで、ソース不純物領域 S とドレイン不純物領域 D とに対し、ビット線接続用のコンタクトホールとソース線接続用のコンタクトホールとが 2 度のセルフアラインコンタクト技術を同時に転用しながら形成される。しかも、上記プロセスはフォトマスクが不要となる。したがって、先に述べたようにソース不純物領域 S とドレイン不純物領域 D の大きさや配置が均一な上に、これに対して 2 次元的に自己整合して形成されるビット線またはソース線接続用のコンタクトホールの大きさも極めて均一となる。また、上記コンタクトホールはソース不純物領域 S とドレイン不純物領域 D の面積に対し、ほぼ最大限の大きさを有している。

【0086】その上でビット方向に配線されているソー

ス線  $SL_{n-1}$ ,  $SL_n$ ,  $SL_{n+1}$  (以下、 $SL$  と表記) は、ドレイン不純物領域 D を避けながら素子分離絶縁層 ISO 上とソース不純物領域 S 上に蛇行して配置され、上記ソース線接続用のコンタクトホールを介して、下層の各ソース不純物領域 S に接続されている。ソース線  $SL$  上には、第 2 の層間絶縁膜を介してビット線  $BL_{n-1}$ ,  $BL_n$ ,  $BL_{n+1}$  (以下、 $BL$  と表記) が等間隔で配線されている。このビット線  $BL$  は、能動領域上方に位置し、ビット線接続用のコンタクトホールを介して、下層の各ドレイン不純物領域 D に接続されている。

【0087】このような構成のセルパターンでは、上記したように、ソース不純物領域 S とドレイン不純物領域 D の形成がマスク合わせの影響を受けにくく、また、ビット線接続用のコンタクトホールとソース線接続用のコンタクトホールが、2 度のセルフアライン技術を一括転用して形成されることから、コンタクトホールがセル面積縮小の制限要素とはならず、ウェハプロセス限界の最小線幅  $F$  でソース配線等ができ、しかも、無駄な空間が殆どないことから、 $6F^2$  に近い非常に小さいセル面積が実現できる。

### 【0088】第 4 実施形態

第 4 実施形態は、いわゆる仮想接地型と称される、共通ソース線 NOR 型の不揮発性メモリ装置に関する。図 19 は、仮想接地 NOR 型のメモリセルアレイ構成を示す回路図である。また、図 20 は、仮想接地 NOR 型のメモリセルアレイの概略平面図である。

【0089】このメモリセルアレイでは、図 15 のようにソース線が分離されておらず、共通化されている。この共通化されたソース線は隣りのメモリセルを動作させるときはビット線として機能する。したがって、このメモリセルアレイでは、ビット方向の配線は全て“ビット線”と称する。各ビット線  $BL_1 \sim BL_3$  は、図 20 に示すように、半導体の不純物領域からなる拡散層配線 (副ビット線  $SBL_1$ ,  $SBL_2$ , ...) と、図示しないビットコンタクトを介して各副ビット線  $SBL_1$ ,  $SBL_2$ , ... に接続されたメタル配線 (主ビット線  $MBL_1$ ,  $MBL_2$ , ...) とからなる。このメモリセルアレイのパターンでは、素子分離絶縁層 ISO が全くなく、その分、第 1~第 3 実施形態のメモリセルアレイよりセル面積が縮小されている。なお、その 1 本おき、たとえばビット線  $BL_1$  と  $BL_3$  を、図示しないビットコンタクトを介して上層のメタル配線に接続させてもよい。

【0090】本実施形態では、第 1 実施形態で副ビット線  $SBL$  および副ソース線  $SSL$  に伝達した電圧を、主ビット線  $MBL$  および主ソース線  $SL$  に直に印加する。これにより、第 1 実施形態と同様な動作、すなわち書き込み、読み出しおよび消去が可能となる。各トランジスタにおける電荷の注入等のされ方は第 1 実施形態と同様であり、ここでの説明は省略する。仮想接地 NOR 型では、ソース線が共通化されているため、一般に、ワード



方向に隣接したメモリトランジスタへの誤書き込みが問題となる。しかし、本発明では、ソース側とドレイン側双方から電荷注入して初めて大きなしきい値電圧変化となることから、ワード方向に隣接した非選択メモリトランジスタは誤書き込みされにくいという利点がある。

#### 【0091】第5実施形態

第5実施形態は、いわゆるF G型におけるH i C R型と同様の、共通ソース線N O R型の不揮発性メモリ装置に関する。図21は、第5実施形態に係わるメモリセルアレイの概略平面図である。なお、メモリセルアレイの回路図は、第4実施形態と同様であり図19が適用される。

【0092】このメモリセルアレイでは、図21のように、ワード方向に隣接する2つのメモリトランジスタ間でソース線（主ソース線M S Lおよび副ソース線S S L）が共通に設けられている。したがって、素子分離絶縁層I S Oは、副線（副ビット線S B L n, S B L n + 1および副ソース線S S L）3本ごとに設けられている。このメモリセルアレイのパターンでは、第1～第3実施形態と比較すると素子分離絶縁層I S Oが少なく、その分、第1～第3実施形態のメモリセルアレイよりセル面積が縮小されている。

【0093】本実施形態では、第1実施形態で副ビット線S B Lおよび副ソース線S S Lに伝達した電圧を、主ビット線M B Lおよび主ソース線S Lに直に印加する。これにより、第1実施形態と同様な動作、すなわち書き込み、読み出しおよび消去が可能となる。各トランジスタにおける電荷の注入等のされ方は第1実施形態と同様であり、ここでの説明は省略する。また、仮想接地N O R型と同様、ソース側とドレイン側双方から電荷注入して初めて大きなしきい値電圧変化となることから、ワード方向に隣接した非選択メモリトランジスタは誤書き込みされにくいという利点がある。

【0094】以下、2ビット／セル書き込みに適した構造のメモリセルを有する実施形態を説明する。

#### 【0095】第6実施形態

第6実施形態は、2ビット／セル書き込みが容易な分離ソース線N O R型の不揮発性メモリに関する。図22に、メモリセルアレイの4セル分の回路図を示す。なお、このメモリセルアレイは、図1のメモリセルアレイの要部を拡大して示すものである。また、図23に、第6実施形態に係るメモリトランジスタの構造を断面図により示す。

【0096】図23に示すメモリトランジスタは、そのゲート絶縁膜が、副ビット線S B L i側のゲート絶縁膜10aと、副ビット線S B L i + 1側のゲート絶縁膜10bとから構成されている。両ゲート絶縁膜10a, 10bは、チャンネル中央部上の単層の絶縁膜14を挟んで空間的に分離されている。両ゲート絶縁膜10a, 10bそれぞれが、第1実施形態におけるゲート絶縁膜10

と同様の膜構造を有する。すなわち、ゲート絶縁膜10aは、下層から順に、ボトム絶縁膜11a（F Nトンネル窒化膜）、窒化膜12a、トップ絶縁膜13aから構成されている。同様に、ゲート絶縁膜10bは、下層から順に、ボトム絶縁膜11b（F Nトンネル窒化膜）、窒化膜12b、トップ絶縁膜13bから構成されている。ボトム絶縁膜11a, 11b, 窒化膜12a, 12b, トップ絶縁膜13a, 13bそれぞれは、第1実施形態におけるボトム絶縁膜11, 窒化膜12, トップ絶縁膜13と同様の材料、膜厚で、同様の成膜法により形成される。

【0097】ここで、ゲート絶縁膜10bの窒化膜12bを中心とした領域を“第1領域R1”、ゲート絶縁膜10aの窒化膜12aを中心とした領域を“第2領域R2”、絶縁膜14部分を“第3領域R3”という。本実施形態では、電荷蓄積手段（キャリアトラップ）の主な分布領域（第1領域R1および第2領域R2）が空間的に分離され、その間の領域（第3領域R3）が単一材料の絶縁膜からなる。このため、互いに離れた2つのメモリ領域を有するメモリトランジスタと、その2つのメモリ領域間に形成され、メモリトランジスタとゲート電極が共通なM O Sトランジスタが一体的に集積化された素子構造となっている。

【0098】この構造の利点は種々ある。その一つは、電荷注入範囲が限定されることで、過剰の電荷注入がされにくいことにある。また、他の利点は、詳細は後述するが、可変しきい値電圧素子であるメモリトランジスタのほかに、しきい値電圧が一定なM O SトランジスタによりチャネルのO N / O F F が制御できる点にある。さらに、高温保持時に、蓄積電荷が横方向に拡散しないので信頼性に優れる点も大きな利点である。

【0099】両ゲート絶縁膜10a, 10b間の絶縁膜14は、たとえばC V D法により形成した酸化シリコン膜からなり、両ゲート絶縁膜間を埋め込むように形成されている。

【0100】このゲート絶縁膜構造の種々ある形成方法の一例では、まず、第1実施形態と同様に全面にボトム絶縁膜（F Nトンネル窒化膜）、窒化膜、トップ絶縁膜の積層膜を形成した後、チャネル中央部上で、この積層膜の一部エッチングにより除去する。これにより、ゲート絶縁膜10a, 10bが空間的に分離して形成される。全面に酸化シリコン膜を厚く堆積させ、酸化シリコン膜表面からエッチバックを行う。そして、ゲート絶縁膜10a, 10b上の絶縁膜が除去され、ゲート絶縁膜10a, 10b間が絶縁膜14で埋まった段階でエッチバックを停止すると、当該ゲート絶縁膜構造が完成する。なお、このエッチバック時のオーバエッチングを防止するため、ゲート絶縁膜10a, 10b上に予めエッチングストップ膜、たとえば窒化シリコン膜を薄く形成してもよい。その後は、第1実施形態と同様にしてワ

ード線WLの形成工程等を経て、当該メモリトランジスタを完成させる。

【0101】つぎに、このような構成の不揮発性メモリの動作について、ワード線WL1に接続された複数のメモリトランジスタM11, M21, …を例に説明する。図24(A)は、書き込み時のバイアス設定条件を示す回路図、図24(B)は書き込み動作を示す素子断面図、図25(A), (B)は読み出し時のバイアス設定条件を示す回路図、図26(A)は消去時のバイアス設定条件を示す回路図、図26(B)消去動作を示す素子断面図である。

【0102】書き込みは、同一ワード線(ここでは、WL1)に連なるメモリセルに対し並列に一括して行う。図24に示すように、メモリトランジスタの第1, 第2領域R1, R2のどちらに書き込みを行うかによって、副ビット線SBL1, SBL2, …および副ソース線SSL1, SSL2, …の電圧印加の設定パターンを決める。すなわち、図24の例では、メモリトランジスタM11の第1領域R1と、メモリトランジスタM21の第1, 第2領域R1, R2とにホットホール注入を行うこととし、それに対応して副ビット線SBL1, SBL2と副ソース線SSL2に、所定の正電圧、たとえば5~6V程度の電圧を印加する。ホットホール注入を行わない残りの副線、ここでは副ソース線SSL1はオープンとし、電氣的フローティング状態とする。また、選択ワード線WL1に所定の負電圧、たとえば-6Vを印加し、他の非非選択ワード線WL2~WLnに所定の書き込み禁止電圧、たとえば0Vを印加し、基板(pウエルW)に0Vを印加する。

【0103】この書き込み条件下、書き込み対象行の複数のメモリトランジスタにおいて、選択ワード線WL1に印加された負電圧により、所定の正電圧(5~6V)が印加された副ビット線SBL1, SBL2および副ソース線SSL2をなすn型不純物領域の表面が深い空乏状態となり、エネルギーバンドの曲がり角が急峻となる。このときバンド間トンネル効果により電子が価電子帯より導電帯にトンネルし、n型不純物領域側に流れ、その結果、ホールが発生する。発生したホールは、チャネル形成領域の中央部側に若干ドリフトして、そこで電界加速され、その一部がホットホールとなる。このn型不純物領域端で発生した高エネルギー電荷(ホットホール)は、その運動量(方向と大きさ)を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に電荷蓄積手段であるキャリアトラップに注入される。この結果、メモリトランジスタしきい値電圧が、消去状態の $V_{the2}$ 、0~2.5Vから低下して、書き込み状態の $V_{thp}$ ( $\leq 0.5V$ )に変化する。

【0104】一方、非選択行のメモリトランジスタM12, 22, …では、ゲートとソースまたはドレインとの間に5~6Vしか電圧がかからない。したがって、電荷

蓄積手段にホットホールが注入されず、有効に書き込みが禁止される。

【0105】この書き込み方法では、電荷の電界加速方向と注入方向がほぼ一致するため、従来のCHE注入方式より電荷の注入効率が高い。また、チャネル自体は形成せずに書き込みを行うため、電流消費が少なくてすむ。ホール電流自体は小さいが、このように電荷蓄積手段分布面内のほぼ全域に電荷が注入されることから、必要なしきい値電圧変化を得るための書き込み時間は、たとえば $20\mu sec$ 以下と従来より1桁以上短くなる。また、この書き込みでは、副ビット線SBL1をなすn型不純物領域からの電荷注入、副ソース線SSL1をなすn型不純物領域からの電荷注入は、それぞれ局所的である。すなわち、本実施形態では、電荷を注入できる領域が第1領域R1または第2領域R2に限定されるため、過剰の書き込みが防止できる。

【0106】さらに、副線SBL, SSLへの印加電圧の組合せを設定しワード線を立ち下げるだけの1回の動作でページ書き込みができる。その際、上記した注入効率の改善によってビット当たりの書き込み電流が桁違いに小さくなり、従来のCHE注入方式では1バイト

(B)程度であった一括並列書き込み可能なセル数が、本実施形態では1キロバイト(kB)程度と格段に大きくなる。なお、ページ書き込みを行わない場合は、書き込みをすべき選択セル列と、書き込みを禁止すべき非選択セル列をバイアス条件により区別し、その選択セル列のみに対する書き込みも可能である。

【0107】読み出しでは、ページ読み出しを基本とする。第2領域R2のビットを読み出す場合、図25

(A)に示すように、副ビット線SBL1, SBL2, …に所定のドレイン電圧、たとえば1.5Vを印加し、副ソース線SSL1, SSL2, …および基板に0Vを印加する。また、非選択ワード線WL2, WL3, …に所定の読み出し禁止電圧、たとえば0Vを印加する。この状態で、読み出し対象のワード線WL1に所定の読み出しゲート電圧、たとえば4Vを印加する。これにより、ワード線WL1に接続されたメモリトランジスタM21, …の第2領域R2が書き込み状態の場合、そのメモリトランジスタM21がオンし、読み出し電流 $I_1$ が図のように流れて副ビット線電圧が変化する。一方、第2領域R2が書き込み状態でないメモリトランジスタM11は、しきい値電圧が高いままでありオフ状態を維持する。その後、オンしたメモリトランジスタを介してプリチャージ電荷がソース線に流れた副ビット線SBL2等の電圧変化を、図示しないセンスアンプ等で増幅して読み出す。第1領域R1の読み出しは、ドレイン電圧1.5Vを上記とは逆方向に印加することで達成される。

【0108】ところで、チャネル中央部にMOSトランジスタがない第1実施形態のトランジスタ構造では、ホ

10

20

30

40

50

ットホール注入が過剰に行われメモリトランジスタのしきい値電圧が大きく低下すると、読み出し時の電流量がばらつく上、電流消費も無駄が多い。

【0109】本実施形態のようにチャンネル中央部（第3領域R3）にMOSトランジスタが形成された構造では、第3領域R3におけるMOSトランジスタのしきい値電圧 $V_{th}(MOS)$ が、たとえば0.5~0.6V程度に予め設定されている。このため、メモリトランジスタに過剰書き込みがされている場合でも、その影響を読み出し時に受けない。なぜなら、メモリトランジスタのしきい値電圧が大きく低下し読み出し電流が増大しようとする、MOSトランジスタがカットオフしリミッタとして機能するからである。したがって、このメモリセルではMOSトランジスタのしきい値電圧制御を通して読み出し電流の上限が制御でき、無駄な電流消費がないという利点がある。

【0110】消去は、モディファイドFN（MFN）トンネリングまたは直接トンネリングを用いてチャンネル全面から電子を注入することにより行う。MFNトンネリングを用て全ブロックを一括消去する場合、たとえば図26（A）に示すように、全てのワード線WL1, WL2, …に11~12V、全ての副ビット線SBL1, SBL2, …、全ての副ソース線SSL1, SSL2, …および基板（pウェルW）に0Vを印加する。

【0111】これにより、図26（B）に示すように、基板側から電子が電荷蓄積手段であるキャリアトラップに注入され、しきい値電圧が上昇して消去が行われる。この電子注入による消去は0.4msec程度まで低減でき、従来の直接トンネル効果によるホール注入消去時間の典型値100msecに比べ2桁以上改善された。また、従来のホール注入による消去では、書き込みに比べ電荷がボトム絶縁膜を通過する時間が長いことため絶縁膜質の劣化が懸念されるが、本発明では、ホットホール注入を電荷通過時間の短い書き込みに利用し消去は電子注入を用いるため、信頼性が高い。

【0112】以上の書き込み、読み出しおよび消去のオペレーションを用いて、メモリセルの信頼性データを調べた。この結果、データ書き換え特性、データ保持特性およびリードディスタブ特性に関して、データ書き換え10万回以上、データ保持が10年、リードディスタブ特性が10年は保証できることが分かった。また、データ保持特性は、10万回のデータ書き換え後でも85℃、10年を満足した。

#### 【0113】第7実施形態

第7実施形態は、2ビット／セル書き込みが容易な仮想接地NOR型の不揮発性メモリに関する。

【0114】図27は、第7実施形態に係るメモリセルアレイの構成例を示す回路図である。このメモリセルアレイは、基本的には、第4実施形態と同様の仮想接地NOR型のメモリセルアレイである。ただし、このメモリ

セルアレイでは、各メモリトランジスタに、ソース・ドレイン不純物領域側からチャンネル形成領域に一部重なるようにコントロールゲートが設けられている。そして、ビット方向に連なるメモリトランジスタM11, M12, …の一方のコントロールゲートを共通接続する制御線CL1a, 他方のコントロールゲートを共通接続する制御線CL1b, 他の列に属しビット方向に連なるメモリトランジスタM21, M22, …の一方のコントロールゲートを共通接続する制御線CL2a, 他方のコントロールゲートを共通接続する制御線CL2b, …が設けられている。各制御線は、ワード線とは独立に制御される。

【0115】図27においては、各制御線がチャンネル形成領域に一部重なることによって、中央のメモリトランジスタをはさんで両側にMOS構造の選択トランジスタが形成されている。

【0116】図28に、第7実施形態に係るトランジスタ構造の例を示す。このメモリトランジスタにおいて、チャンネル形成領域の中央部に、下層からボトム絶縁膜11, 窒化膜12, トップ絶縁膜13からなるゲート絶縁膜10を介してメモリトランジスタのゲート電極15が積層されている。このゲート電極15は、図示しないワード線WLをなす上層配線層に接続され、ワード方向のメモリセル間で共通に接続されている。

【0117】一方、メモリトランジスタのチャンネル方向両側の副ビット線SBLi, SBLi+1上に、選択トランジスタのゲート絶縁膜16aが形成されている。そのゲート絶縁膜16a上に、コントロールゲートCGが形成されている。コントロールゲートCGとゲート電極15との間は、スペーサ絶縁層16bにより絶縁分離されている。

【0118】このメモリトランジスタの形成では、たとえば、ゲート絶縁膜10とゲート電極15となる導電膜を全面に形成した後、ゲート電極のパターンニング時に、ゲート絶縁膜10を上層から順次加工する。つぎに、このパターンをゲート絶縁膜16aで覆う。スペーサ絶縁膜16bをゲート絶縁膜16aより厚くする場合は、さらに同種の絶縁膜を積み増した後、異方性エッチングする。これにより、ゲート電極の側壁側にスペーサ絶縁層16bが形成される。コントロールゲートCGとなる導電膜を堆積し、この導電膜を異方性エッチングして、サイドウォール状に残し、これにより、コントロールゲートCGを形成する。

【0119】このようにして形成されたトランジスタの書き込み動作では、第6実施形態と同様にページ書き込みを行う。バイアス条件は、基本的に第6実施形態と同様である。ただし、この第7実施形態では、ビット線がワード方向に隣接した2メモリセル間で共通となっているため、メモリトランジスタの第1領域R1, 第2領域R2に書き込みを行うか否かは、選択トランジスタのコ

ントロールゲートCGの電圧により制御する。すなわち、ビット線BL1, BL2, …は全て5~6Vの電圧を印加しておき、書き込みを行う側のコントロールゲートCGのみ、選択ワード線（ゲート電極15）に印加する負電圧、たとえば-8Vを印加する。これにより、この負電圧印加のコントロールゲートCG下では、n型不純物領域が深い空乏状態となり、エネルギーバンドの曲がり急峻となる。このときバンド間トンネル効果により電子が価電子帯より導電帯にトンネルし、n型不純物領域側に流れ、その結果、ホールが発生する。発生したホールは、チャネル形成領域の中央部側に若干ドリフトして、そこで、より強電界を及ぼしているゲート電極15により電界加速され、その一部がホットホールとなる。このn型不純物領域端で発生した高エネルギー電荷（ホットホール）は、その運動量（方向と大きさ）を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に電荷蓄積手段であるキャリアトラップに注入される。この結果、メモリトランジスタしきい値電圧が、消去状態の $V_{th0}$  2.0~2.5Vから低下して、書き込み状態の $V_{thp}$  ( $\leq 0.5$  V)に変化する。

【0120】一方、書き込みを行いたくない側のコントロールゲートCGは、0Vまたは最大5~6V程度の正電圧を印加する。このコントロールゲートCG下のn型不純物領域は、エネルギーバンドの曲がり急峻とならず、したがってホットホールが発生し得ず、有効に書き込みが禁止される。

【0121】この書き込み方法では、第6実施形態と同様の効果、すなわちページ書き込みを、電荷の注入効率が高くして高速に、しかも少ない電流消費で達成できる。

【0122】読み出しでは、ページ読み出しを基本とし、基本的な印加バイアス値、すなわちドレイン側に1.5V、ソース側に0V、そしてゲートに4Vを印加する事自体は第6実施形態と同様である。ただし、本実施形態では、このビット方向の共通線（ビット線BL1, BL2, …）がワード方向に隣接した2メモリセル間で共通化されている。このため、第6実施形態と同様に、ビット方向の共通線に対し1.5Vと0Vを交互に印加すると、1.5Vを印加した共通線（ビット線）に、これに接続した2メモリセル分のデータが読み出されてしまいデータ判別が不可能となってしまう。そこで、一方のメモリセルは、コントロールゲートCGをオンさせてチャネルをカットオフしておく必要がある。すなわち、1回の読み出し動作で、1列ごとにしか読み出せない。第1領域R1, 第2領域R2の読み出しで2回の動作を必要とするため、結局、1ページの読み出しに4回の動作サイクルを要することとなる。

【0123】消去は、第1および第6実施形態と同様、モディファイドFN (MFN) トンネリングまたは直接トンネリングを用いてチャネル全面から電子を注入することにより行う。

### 【0124】第8実施形態

第8実施形態は、2ビット/セル書き込みが容易な分離ソース線NOR型の他のメモリ素子例に関する。

【0125】図29は、第8実施形態に係るメモリセルアレイの構成例を示す回路図である。このメモリセルアレイでは、各メモリセルにおいて、中央がワード線WL1, WL2, …に接続されたMOS構造の選択トランジスタとなっており、その両側それぞれに、ゲートがワード制御線WCL1, WCL2, …に接続されたメモリトランジスタが形成されている。

【0126】図30に、第8実施形態に係るトランジスタ構造の例を示す。このトランジスタ構造は、第6実施形態（図23）に示すトランジスタ構造と比べると、第1~第3領域R1, R2, R3ごとにゲート電極が分離して設けられている。すなわち、チャネル形成領域中央部に形成されワード線WLに接続されたゲート電極15と、ゲート電極15と絶縁分離され、チャネル方向両側に設けられ、ワード制御線WCLに接続されたコントロールゲートCGとを有する。ゲート電極15は、ソース側とドレイン側で空間的に分離された2つのコントロールゲートCGとゲート絶縁膜10aまたは10bとの積層パターン間に、絶縁膜17を介して埋め込まれている。

【0127】このメモリトランジスタの種々ある形成法の一例においては、たとえば、ゲート絶縁膜10とコントロールゲートCGとなる導電膜を全面に形成した後、2つのコントロールゲートCGのパターンニング時に、ゲート絶縁膜10a, 10bを一括して加工する。これにより、副ビット線SBLi側と、副ビット線SBLi+1側に空間的に分離して、2つのコントロールゲートCGとゲート絶縁膜10a, 10bの積層パターンが形成される。その後、全面に絶縁膜17とゲート電極15となる導電膜とを堆積し、これらの膜をエッチバックする。これにより、2つのコントロールゲートCGとゲート絶縁膜10a, 10bの積層パターン間に、絶縁膜17とゲート電極15が埋め込まれるように形成される。

【0128】このように形成されたメモリトランジスタでは、第6実施形態同様に過剰書き込みの影響を低減するために、チャネル形成領域中央部に、ワード線に接続されたMOSトランジスタが形成されている。このMOSトランジスタのしきい値電圧は、たとえば0.5~0.6Vに設定される。また、ビット線BLi, BLi+1をなす不純物領域上に、電荷蓄積手段を含むONO膜タイプのゲート絶縁膜10a, 10bを介してコントロールゲートCGが配置され、これによりメモリトランジスタが形成されている。

【0129】このようにして形成されたトランジスタの書き込み動作では、第6実施形態と同様にページ書き込みを行う。バイアス条件は、基本的に第6実施形態と同様である。この第8実施形態では、第6実施形態と同

様、ビット線がワード方向に隣接した2メモリセル間で分離しており、メモリトランジスタの第1領域R1、第2領域R2に書き込みを行うか否かは、ビット線電圧を5~6Vとするか、オープンとするかにより制御する。最初に全てのコントロールゲートCG(ワード制御線WCL)に-5~-6Vの電圧を印加しておき、書き込みを行う側のビット線のみ、オープン状態から、たとえば5V程度の所定の正電圧を印加する。これにより、負電圧印加のコントロールゲートCG下では、5Vを印加したn型不純物領域が深い空乏状態となり、エネルギーバンドの曲がり急峻となる。このときバンド間トンネル効果により電子が価電子帯より導電帯にトンネルし、n型不純物領域側に流れ、その結果、ホールが発生する。発生したホールは、チャンネル形成領域の中央部側に若干ドリフトして、そこで、より強電界を及ぼしているゲート電極15により電界加速され、その一部がホットホールとなる。このn型不純物領域端で発生した高エネルギー電荷(ホットホール)は、その運動量(方向と大きさ)を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に電荷蓄積手段であるキャリトラップに注入される。この結果、メモリトランジスタしきい値電圧が、消去状態の $V_{th2}$  0~2.5Vから低下して、書き込み状態の $V_{thp}$  ( $\leq 0.5V$ )に変化する。

【0130】一方、書き込みを行いたくない側のコントロールゲートCGはオープンとなっているため、このコントロールゲートCG下のn型不純物領域は、エネルギーバンドの曲がり急峻とならず、したがってホットホールが発生し得ず、有効に書き込みが禁止される。また、選択ゲート15は所定の正電圧が印加されていることから、n型不純物領域(副ビット線SBLi, SBLi+1)から伸びる空乏層を抑制して、チャンネル中央部が空乏化されない。このため、本第8実施形態では、第6実施形態と比較してパンスルー耐性が強くなっている。

【0131】この書き込み方法では、第6実施形態と同様の効果、すなわちページ書き込みを、電荷の注入効率が高くて高速に、しかも少ない電流消費で達成できる。また、電荷注入が局所的に行え、過剰書き込みが防止できる。

【0132】読み出しは、第6実施形態と同様に、ページ読み出しを基本とし、基本的な印加バイアス値、すなわちドレイン側に1.5V、ソース側に0V、そしてゲートに4Vを印加することで達成できる。

【0133】なお、この読み出しにおいても、第6実施形態と同様、MOSトランジスタを設けたことにより、そのしきい値電圧制御を通して読み出し電流の上限が制御でき、無駄な電流消費がないという利点がある。

【0134】消去は、第1および第6実施形態と同様、モディファイドFN(MFN)トンネリングまたは直接

トンネリングを用いてチャンネル全面から電子を注入することにより行う。

【0135】以下、第9、第10実施形態に、第1~第8実施形態のメモリトランジスタ構造の変形例を示す。

#### 【0136】第9実施形態

第9実施形態は、メモリトランジスタの電荷蓄積手段としてゲート絶縁膜中に埋め込まれ例えば10ナノメートル以下の粒径を有する多数の互いに絶縁されたSiナノ結晶を用いた不揮発性半導体記憶装置(以下、Siナノ結晶型という)に関する。

【0137】図31は、このSiナノ結晶型メモリトランジスタの素子構造を示す断面図である。本実施形態のSiナノ結晶型不揮発性メモリでは、そのゲート絶縁膜20が、ボトム絶縁膜21、その上の電荷蓄積手段としてのSiナノ結晶22、およびSiナノ結晶22を覆う酸化膜23とからなる。その他の構成、即ち半導体基板、チャンネル形成領域、ウエルW、ソース線MSL、SSL、ビット線BL、MSL、SBL、ワード線WLは、第1~第8実施形態と同様である。

【0138】Siナノ結晶22は、そのサイズ(直径)が、好ましくは10nm以下、例えば4.0nm程度であり、個々のSiナノ結晶同士が酸化膜23で空間的に、例えば4nm程度の間隔で分離されている。本例におけるボトム絶縁膜21は、電荷蓄積手段(Siナノ結晶22)が基板側に近いこととの関係で、第1実施形態よりやや厚く、使用用途に応じて2.6nmから5.0nmまでの範囲内で適宜選択できる。ここでは、4.0nm程度の膜厚とした。

【0139】このような構成のメモリトランジスタの製造では、ボトム絶縁膜21の成膜後、例えばLP-CVD法でボトム絶縁膜21の上に、複数のSiナノ結晶22を形成する。また、Siナノ結晶22を埋め込むように、酸化膜23を、例えば7nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN<sub>2</sub>Oの混合ガス、基板温度が例えば700℃とする。このときSiナノ結晶22は酸化膜23に埋め込まれ、酸化膜23表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス(例えばCMP等)を行うとよい。その後、ワード線となる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該Siナノ結晶型メモリトランジスタを完成させる。

【0140】このように形成されたSiナノ結晶22は、平面方向に離散化されたキャリトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約3.1eV程度とされる。この大きさの個々のSiナノ結晶22は、数個の注入電子を保持できる。なお、Siナノ結晶22を更に小さくして、これに単一電子を保持させてもよい。

#### 【0141】第10実施形態

10

20

30

40

50



第10実施形態は、メモリトランジスタの電荷蓄積手段として絶縁膜中に埋め込まれ互いに分離した多数の微細分割型フローティングゲートを用いた不揮発性半導体記憶装置（以下、微細分割FG型という）に関する。

【0142】図32は、この微細分割FG型メモリトランジスタの素子構造を示す断面図である。本実施形態の微細分割FG型不揮発性メモリでは、メモリトランジスタがSOI基板に形成され、そのゲート絶縁膜30が、ボトム絶縁膜31、その上の電荷蓄積手段としての微細分割型フローティングゲート32、および微細分割型フローティングゲート32を埋め込む酸化膜33とからなる。この微細分割フローティングゲート32は、第6実施形態のSiナノ結晶22とともに本発明でいう“小粒径導電体”の具体例に該当する。

【0143】SOI基板としては、酸素イオンをシリコン基板に高濃度にイオン注入し基板表面より深い箇所に埋込酸化膜を形成したSIMOX (Separation by Implanted Oxygen) 基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合わせた張合せ基板などが用いられる。このような方法によって形成され図23に示したSOI基板は、半導体基板SUB、分離酸化膜34およびシリコン層35とから構成され、シリコン層35内に、副ソース線SSL（ソース不純物領域S）、副ビット線SBL（ドレイン不純物領域D）が設けられている。両不純物領域間がチャネル形成領域となる。なお、半導体基板SUBに代えて、ガラス基板、プラスチック基板、サファイア基板等を用いてもよい。

【0144】微細分割フローティングゲート32は、通常のFG型のフローティングゲートを、その高さが例えば5.0nm程度で、直径が例えば8nmまでの微細なポリSiドットに加工したものである。本例におけるボトム絶縁膜31は、第1実施形態よりやや厚いが、通常のFG型に比べると格段に薄く形成され、使用用途に応じて2.5nmから4.0nmまでの範囲内で適宜選択できる。ここでは、最も薄い2.5nmの膜厚とした。

【0145】このような構成のメモリトランジスタの製造では、SOI基板上にボトム絶縁膜31を成膜した後、例えばLP-CVD法で、ボトム絶縁膜31の上にポリシリコン膜（最終膜厚：5nm）を成膜する。このLP-CVDでは、原料ガスがDCSとアンモニアの混合ガス、基板温度が例えば650℃とする。つぎに、例えば電子ビーム露光法を用いて、ポリシリコン膜を直径が例えば8nmまでの微細なポリSiドットに加工する。このポリSiドットは、微細分割型フローティングゲート32（電荷蓄積手段）として機能する。その後、微細分割型フローティングゲート32を埋め込むように、酸化膜33を、例えば9nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN<sub>2</sub>Oの混合ガス、基板温度が例えば700℃とする。この時、微細分割型フローティングゲート32は酸

化膜33に埋め込まれ、酸化膜33表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えばCMP等）を行うとよい。その後、ワード線WLとなる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該微細分割FG型メモリトランジスタを完成させる。

【0146】このようにSOI基板を用い、フローティングゲートが微細に分割されることについては、素子を試作して特性を評価した結果、予想通りの良好な特性が得られることを確認した。

#### 【0147】変形例

以上述べてきた第1～第10実施形態において、さらに種々の変形が可能である。

【0148】とくに図示しないDINOR型など、他のNOR型セルに対し本発明が適用できる。

【0149】本発明における“平面的に離散化された電荷蓄積手段”は、窒化膜バルクのキャリアトラップおよび酸化膜と窒化膜界面付近に形成されたキャリアトラップを含むことから、ゲート絶縁膜がNO(Nitride-Oxide)膜なるMNOS型であっても本発明が適用できる。

【0150】本発明は、スタンドアロン型の不揮発性メモリのほか、ロジック回路と同一基板上に集積化したエンベデッド型の不揮発性メモリに対しても適用可能である。

#### 【0151】

【発明の効果】本発明に係る不揮発性半導体記憶装置およびその動作方法によれば、書き込み時にバンド間トンネル電流に起因したホットホールによって、効率よく、しかも高速に平面的に離散化された電荷蓄積手段に電荷を注入することができる。この書き込みはチャネルを形成せずに行うため、従来のCHE注入のようにパンチスルーの発生が要因でゲート長を短くできないという不利は解消する。むしろ、この書き込みでは、ゲート長を短くすればするだけ大きなしきい値電圧変化が得られ、より高速書き込みが可能となる。

【0152】一方、2ビット／セル記憶の場合は、電荷注入箇所が局所的で過剰書き込みが防止でき、また高温での電荷拡散が防止でき、信頼性が高い。また、チャネルを形成しないで書き込みを行うため、いわゆるAND型、仮想接地型などの各種NOR型メモリセルアレイにおいて、ページ書き込みが1回の動作サイクルで完了する。

【0153】以上より、本発明によって、ゲート長100nm以下でスケール性に優れた高速で、大容量の不揮発性半導体記憶装置を実現することができる。

#### 【図面の簡単な説明】

【図1】第1実施形態に係る不揮発性メモリ装置のメモリセルアレイ構成を示す回路図である。

【図2】第1実施形態に係るNOR型メモリセルアレイの平面図である。



【図 3】第 1 実施形態に係る NOR 型メモリセルアレイについて、図 2 の B-B' 線に沿った断面側から見た鳥瞰図である。

【図 4】第 1 実施形態に係るメモリトランジスタのワード方向の拡大断面図である。

【図 5】第 1 実施形態に係るメモリトランジスタの書き込み時のバイアス条件を示す回路図である。

【図 6】第 1 実施形態に係るメモリトランジスタの読み出し時のバイアス条件を示す回路図である。

【図 7】第 1 実施形態に係るメモリトランジスタの消去時のバイアス条件を示す回路図である。

【図 8】第 1 実施形態に係るメモリトランジスタの書き込み動作を示すワード方向の拡大断面図である。

【図 9】第 1 実施形態に係るメモリトランジスタの消去動作を示すワード方向の拡大断面図である。

【図 10】第 1 実施形態に係るメモリトランジスタにおける基板電流とゲート電流の S/D バイアス依存性を示すグラフである。

【図 11】第 1 実施形態に係るメモリトランジスタのゲート絶縁膜 2.9 nm における書き込み特性を示すグラフである。

【図 12】第 1 実施形態に係るメモリトランジスタのゲート絶縁膜 2.55 nm における書き込み特性を示すグラフである。

【図 13】第 1 実施形態に係るメモリトランジスタのゲート絶縁膜 2.9 nm におけるデータ書き換え特性を示すグラフである。

【図 14】第 1 実施形態に係るメモリトランジスタのゲート絶縁膜 2.55 nm におけるデータ書き換え特性を示すグラフである。

【図 15】第 2 実施形態に係る不揮発性メモリ装置のメモリセルアレイ構成を示す回路図である。

【図 16】第 2 実施形態に係る分離ソース線 NOR 型メモリセルアレイの平面図である。

【図 17】第 2 実施形態に係る分離ソース線 NOR 型メモリセルアレイについて、図 16 の A-A' 線に沿った断面側から見た鳥瞰図である。

【図 18】第 3 実施形態に係る分離ソース線 NOR 型メモリセルアレイの平面図である。

【図 19】第 4 実施形態に係る不揮発性メモリ装置のメモリセルアレイ構成を示す回路図である。

【図 20】第 4 実施形態に係る共通ソース線 NOR 型メ

モリセルアレイの平面図である。

【図 21】第 5 実施形態に係る共通ソース線 NOR 型メモリセルアレイの平面図である。

【図 22】第 6 実施形態に係る分離ソース線 NOR 型メモリセルアレイを 4 セル分示す回路図である。

【図 23】第 6 実施形態に係るメモリトランジスタの構造を示す断面図である。

【図 24】(A) は第 6 実施形態に係るメモリセルアレイの書き込み時のバイアス設定条件を示す回路図、(B) は書き込み動作を示す素子断面図である。

【図 25】(A), (B) は、第 6 実施形態に係るメモリセルアレイの読み出し時のバイアス設定条件を示す回路図である。

【図 26】(A) は第 6 実施形態に係るメモリセルアレイの消去時のバイアス設定条件を示す回路図、(B) 消去動作を示す素子断面図である。

【図 27】第 7 実施形態に係る仮想接地 NOR 型メモリセルアレイの構成を示す等価回路図である。

【図 28】第 7 実施形態に係るメモリトランジスタの構造を示す断面図である。

【図 29】第 8 実施形態に係る仮想接地 NOR 型メモリセルアレイの構成を示す等価回路図である。

【図 30】第 8 実施形態に係るメモリトランジスタの構造を示す断面図である。

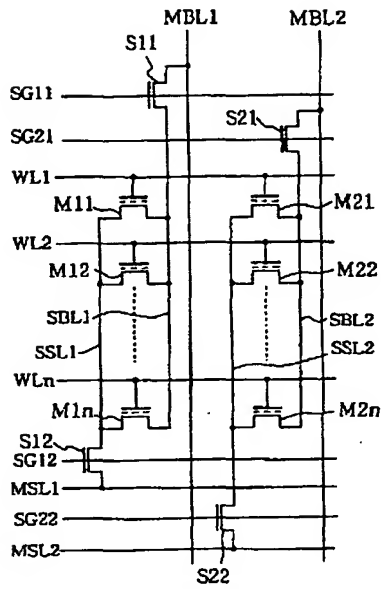
【図 31】第 9 実施形態に係る Si ナノ結晶型メモリトランジスタのワード方向の断面図である。

【図 32】第 10 実施形態に係る微細分割 FG 型メモリトランジスタのワード方向の断面図である。

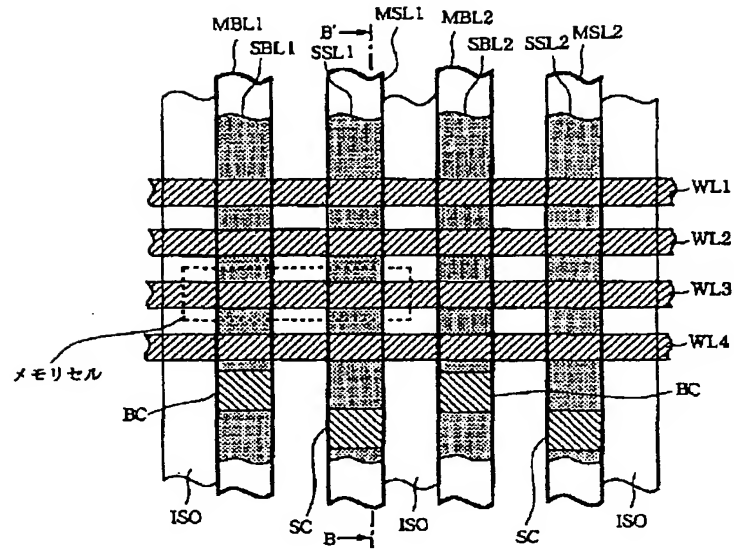
【符号の説明】

10, 20, 30...ゲート絶縁膜、11, 21, 31...ボトム絶縁膜、12...窒化膜、13...トップ絶縁膜、22...Si ナノ結晶、23, 33...酸化膜、32...微細分割型フローティングゲート、34...分離酸化膜、35...シリコン層、SUB...半導体基板、W...p ウェル、S...ソース不純物領域、D...ドレイン不純物領域、ISO...素子分離絶縁層、M11 等...メモリトランジスタ、S11 等...選択トランジスタ、BL1 等...ビット線、MBL1 等...主ビット線、SBL1 等...副ビット線、SL1 等...ソース線、MSL1 等...主ソース線、SSL1 等...副ソース線、WL1 等...ワード線、SG11 等...選択線、BC...ビットコンタクト、SC...ソースコンタクト。

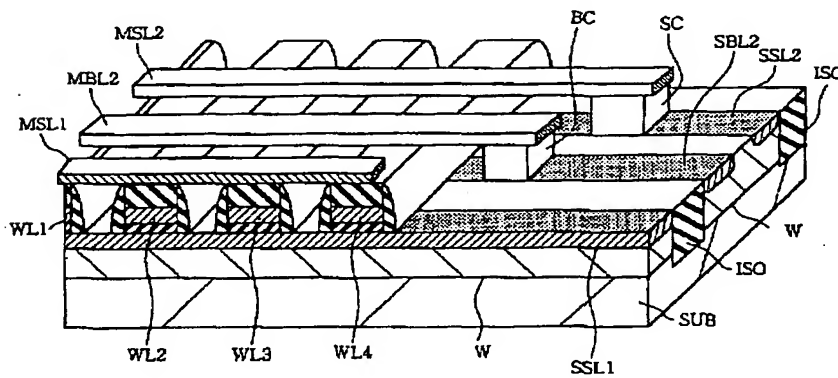
【図1】



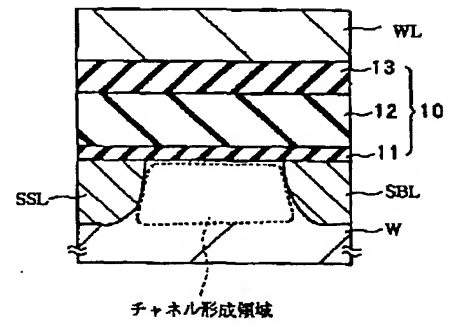
【図2】



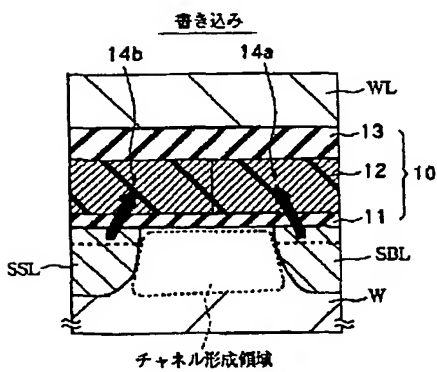
【図3】



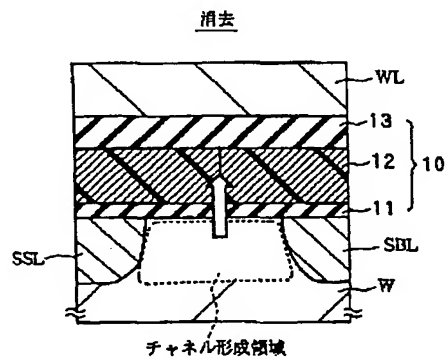
【図4】



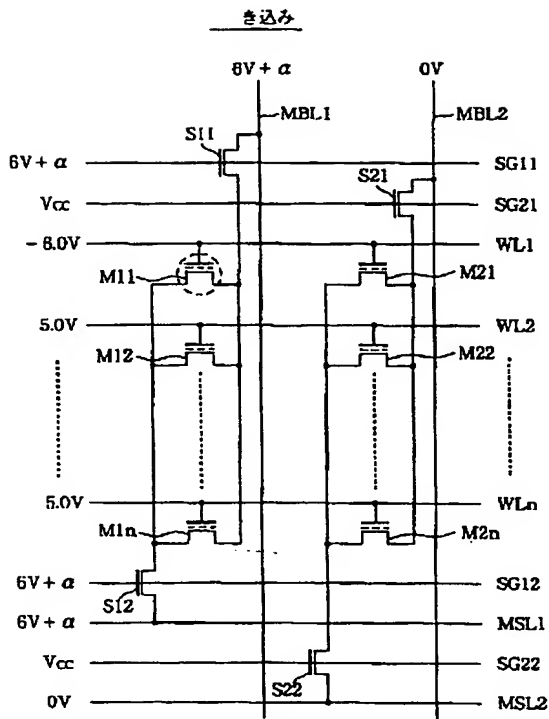
【図8】



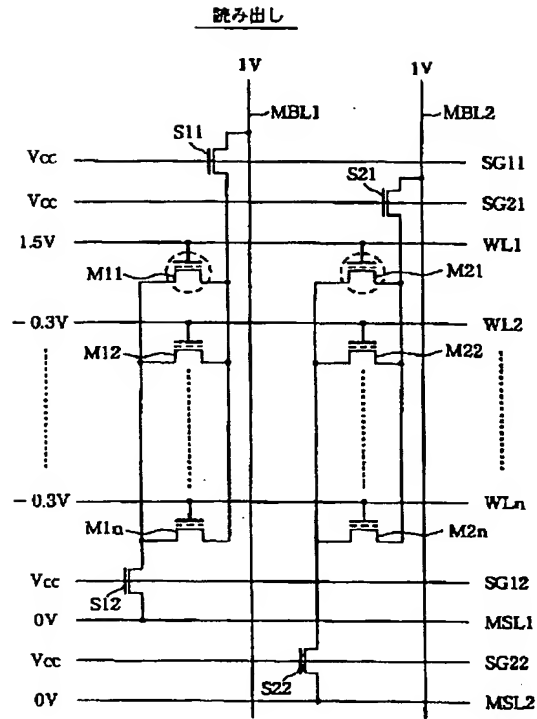
【図9】



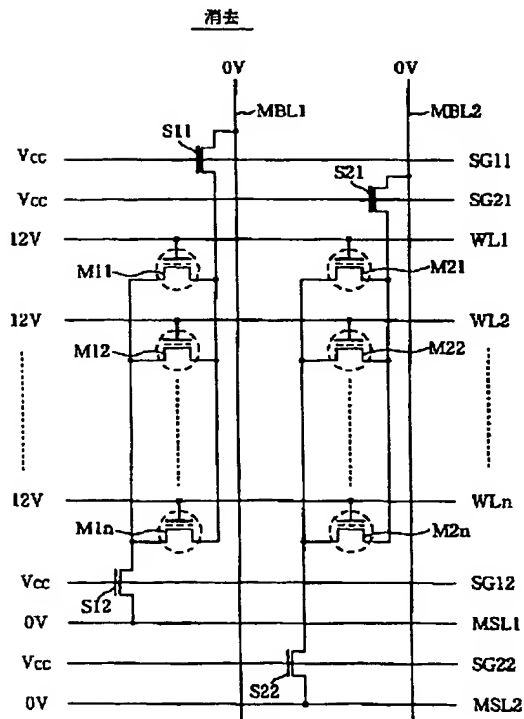
【図5】



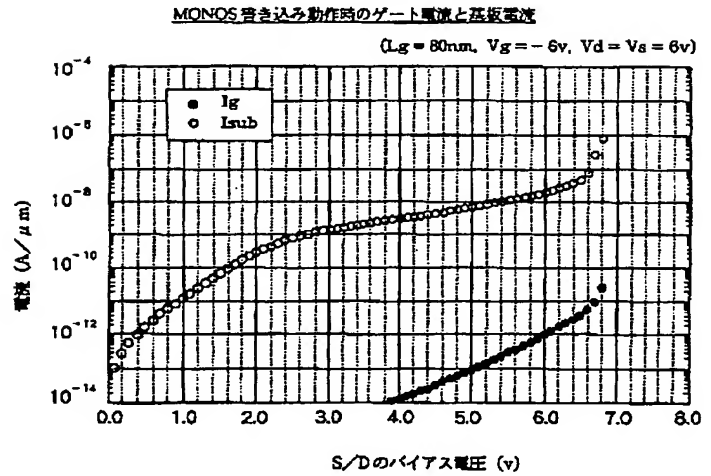
【図6】



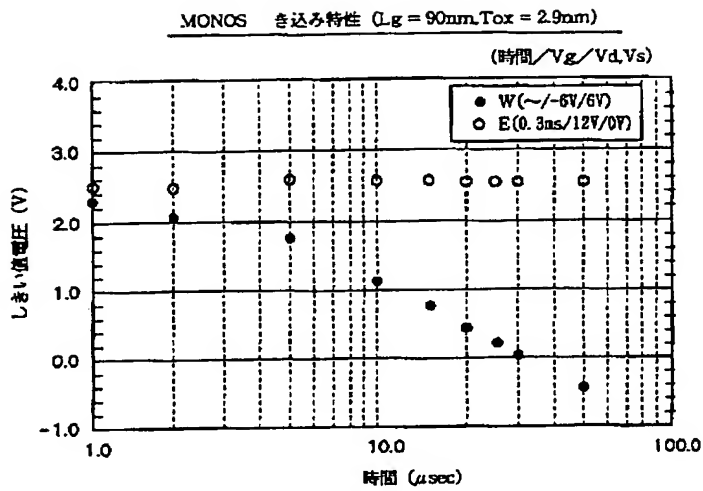
【図7】



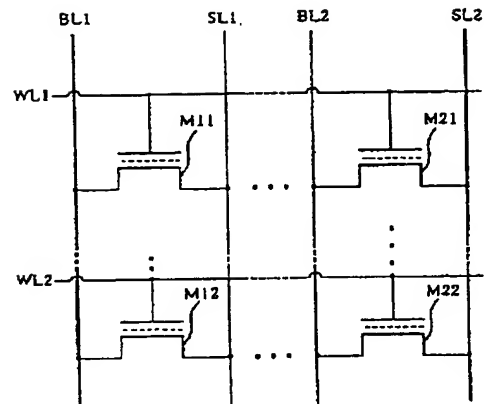
【図10】



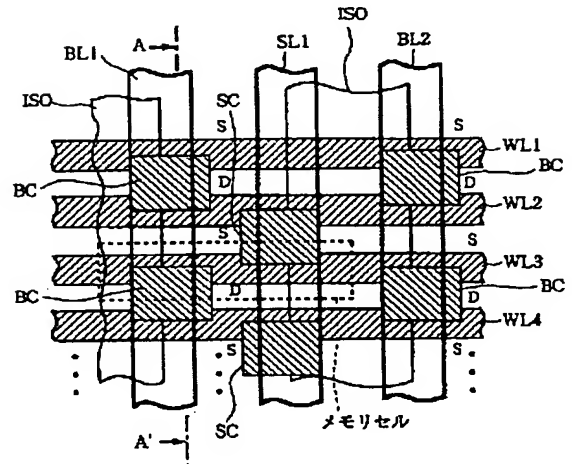
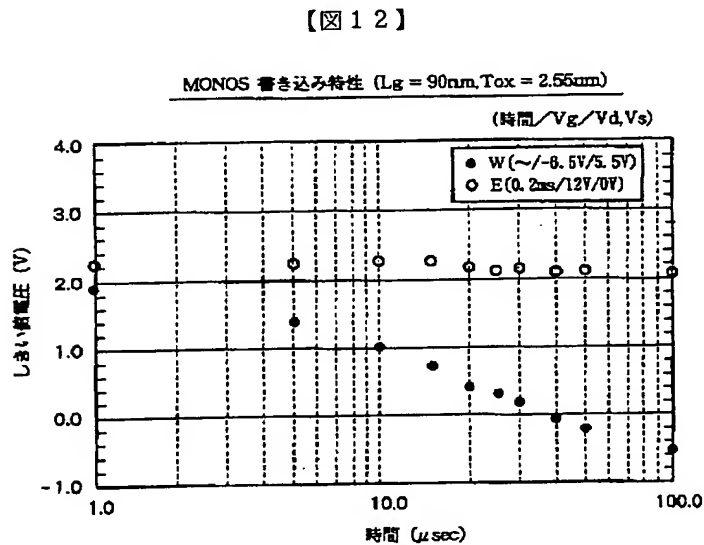
【図11】



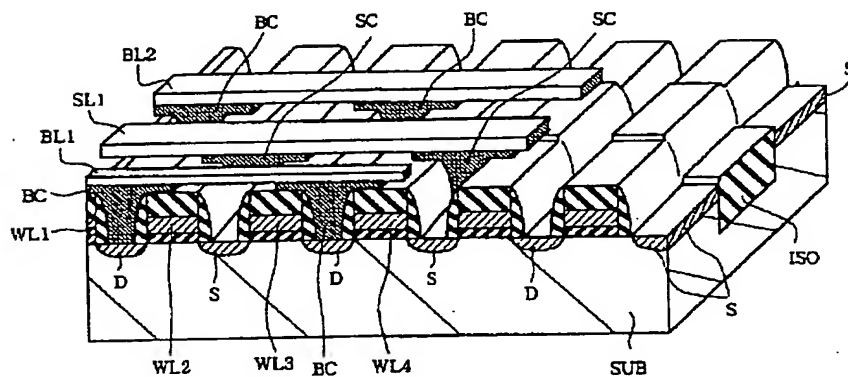
【図15】



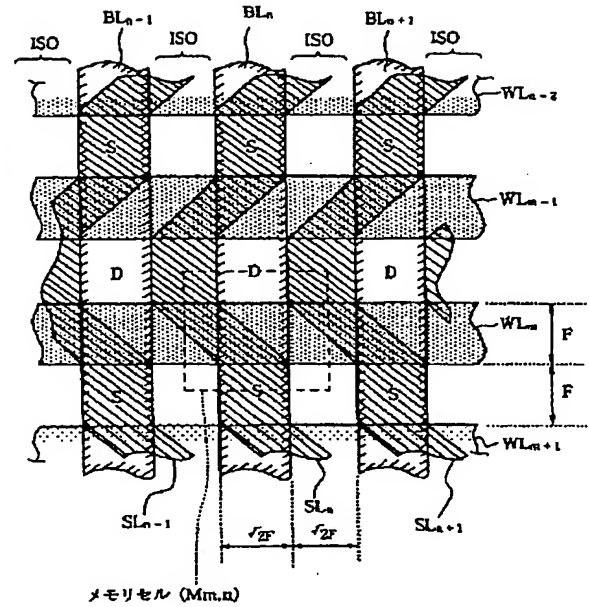
【図16】



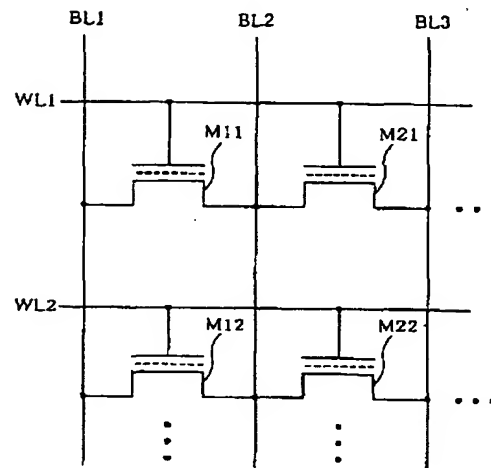
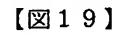
【図17】



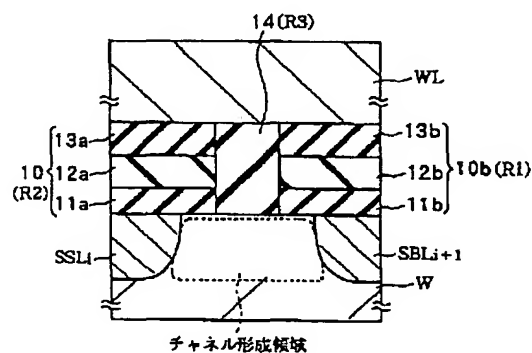
【图 18】



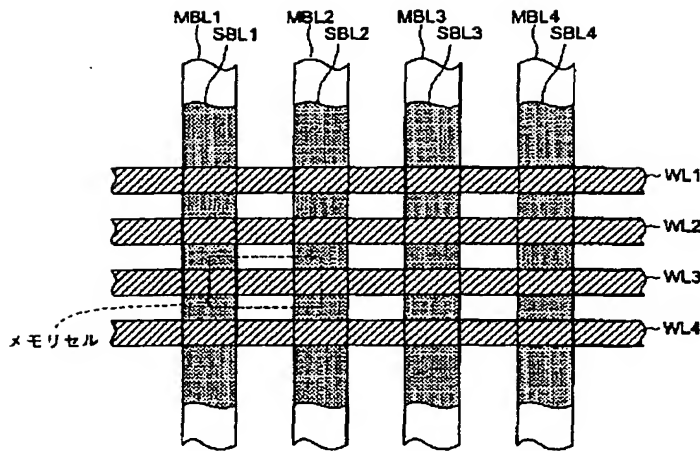
メモリセル (Mm,n)



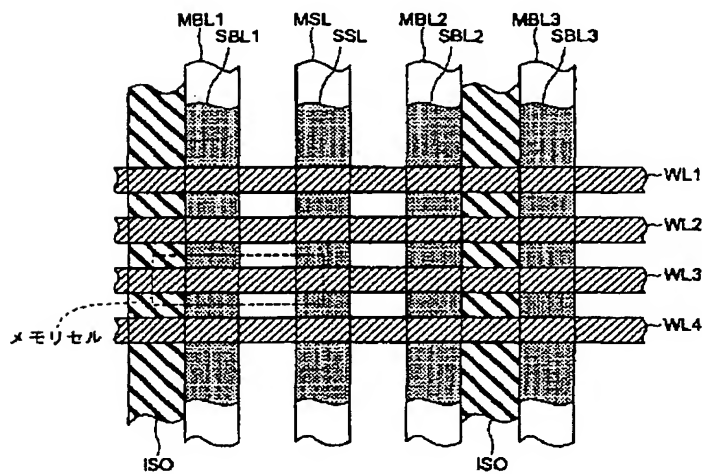
【図 23】



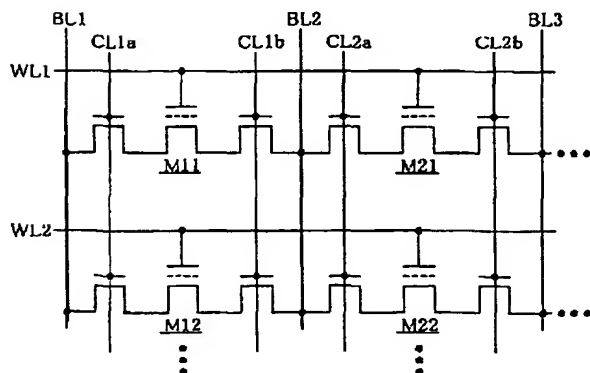
【図 20】



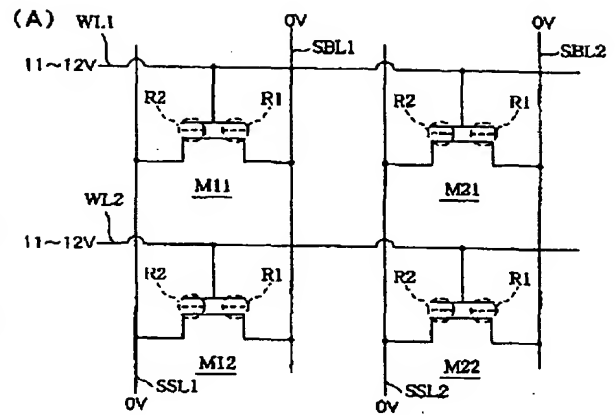
【図 21】



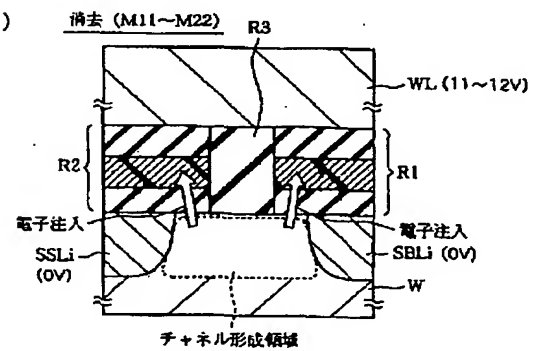
【図 27】



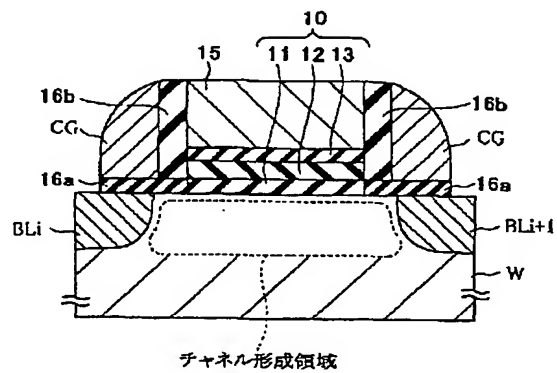
【図 26】



(B)

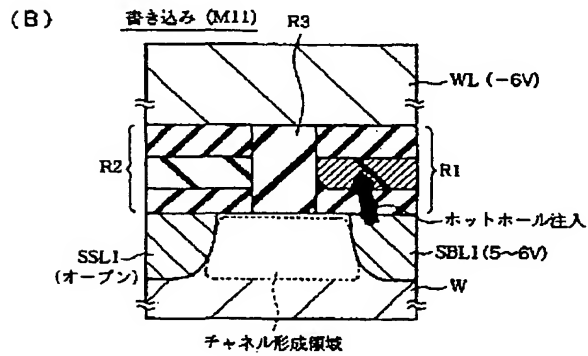
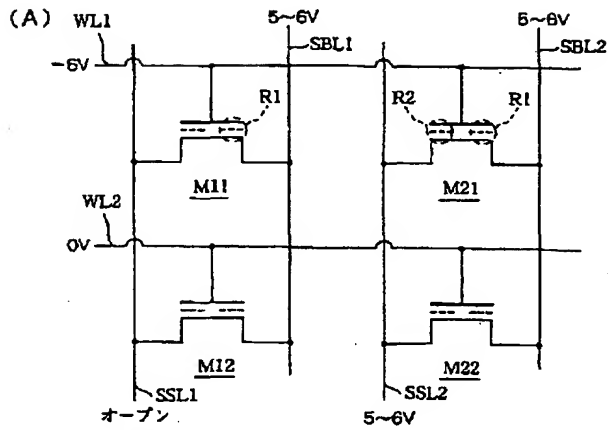


【図 28】

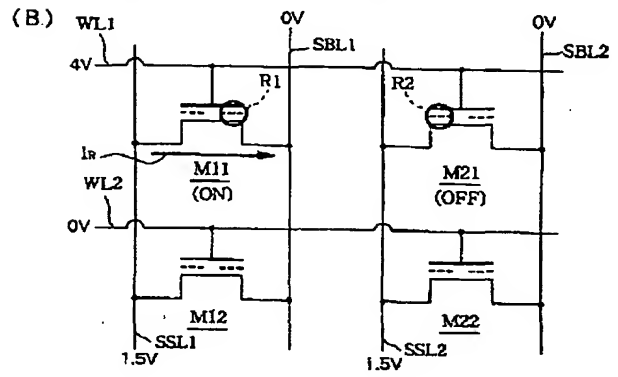
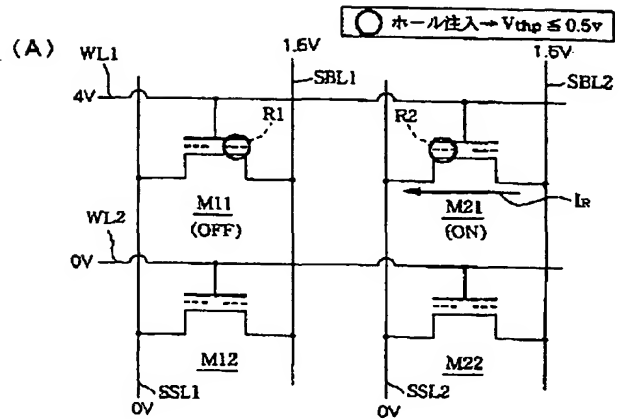




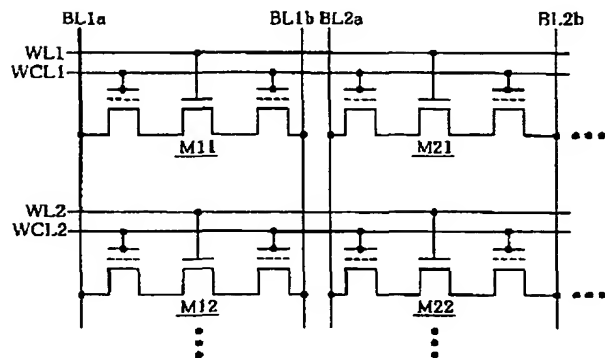
【図 24】



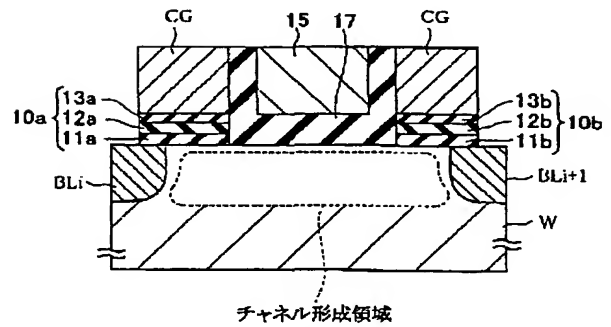
【図 25】



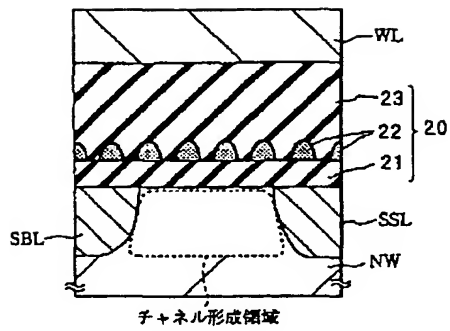
【図 29】



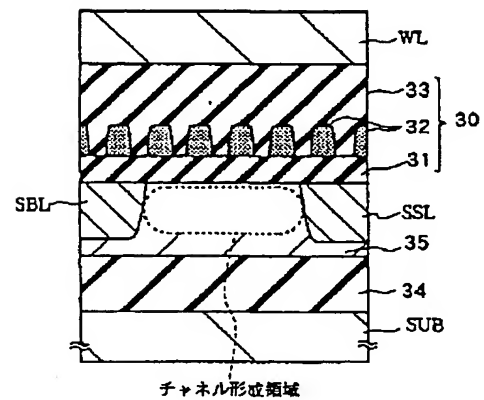
【図 30】



【図31】



【図32】



フロントページの続き

Fターム(参考) 5B025 AA04 AA07 AB01 AC01 AE05  
 AE06 AE08  
 5F001 AA14 AC02 AD41 AD51 AE02  
 AE03 AE08 AF10 AF20 AG02  
 5F083 EP09 EP17 EP18 EP22 EP32  
 EP77 ER03 ER05 ER06 ER09  
 ER11 ER14 ER15 ER16 ER22  
 ER30 GA01 GA05 GA09 KA01  
 KA06 KA12 LA12 LA16 MA02  
 MA06 MA19 MA20 PR13 PR36  
 ZA21